

Entwurf und Technologie von GaN-Heterostruktur FETs für hohe Leistung

Universität Ulm

Fakultät für Ingenieurwissenschaften

Abteilung Elektronische Bauelemente und Schaltungen



Dissertation

zur Erlangung des akademischen Grades eines
Doktor–Ingenieurs (Dr.–Ing.)

von

Dipl.–Ing. Martin Neuburger

1. Gutachter: Prof. Dr.–Ing. E. Kohn
2. Gutachter: Prof. Dr.–Ing. A. Vescan

27. Juli 2006

Danksagung

Ich möchte mich bei meinem Betreuer, Herrn Prof. Dr. –Ing. E. Kohn bedanken, dass er es mir ermöglichte, die Arbeiten meiner Promotion in seiner Abteilung Elektronische Bauelemente & Schaltungen durchzuführen. Nicht allein die Vielzahl der gebotenen Optionen, als vielmehr die persönliche intensive Betreuung inklusive der fruchtbaren Diskussionen haben zum Gelingen dieser Arbeit beigetragen, wofür ich sehr dankbar bin.

Natürlich darf mein Zweitkorrektor, Prof. Dr.–Ing. A. Vescan, nicht vergessen werden, da oft die zeitliche Beanspruchung der Betreuung nicht ausreichend honoriert wird. Ich bin darüber sehr dankbar.

Im täglichen Umgang mussten mich neben meinem Betreuer auch noch sämtliche Mitarbeiter der Abteilung Elektronische Bauelemente & Schaltungen ertragen. Dass Ihnen dies gelungen ist und Sie mich sogar noch in meiner Arbeit unterstützt haben, ist nicht selbstverständlich und hat mich sehr gefreut. Herausragend dabei fand ich vor allem, dass jeder sein Können offen geteilt hat. Besonders hervorheben möchte ich meinem Zimmerkollegen Tom Zimmermann bzw. Zimmernachbar Ralf Müller für viele Diskussionen, praktische Tätigkeiten und Ihre Ideen. Gesondert muss auch Yakiv Men erwähnt werden. Als Verantwortlicher des Elektronenstrahlschreibers kreuzten sich unsere Wege fast täglich und ich habe oftmals nahezu Unmögliches von Ihm verlangt. Herr Men hat es jedes Mal geschafft, alle Wünsche von mir zu erfüllen und hat mich in meinem Lernprozess bezüglich der Elektronenstrahlolithographie sehr unterstützt.

Besonderes Glück wurde mir dadurch beschert, einen industriellen Partner Micro GaN zur Seite zu haben, welcher mich vor allem praktisch aber auch intellektuell unterstützt hat. In diesem Zusammenhang engagierten sich besonders die beiden Geschäftsführer Dr. Ingo Daumiller und Dr. Mike Kunze.

Eine Schlüsselkomponente zum Gelingen dieser Arbeit ist der Abteilung Halbleitertaxi der Otto–von–Guericke Universität in Magdeburg zuzuschreiben. Hierbei haben Priv. Doz. Armin Dadgar und Prof. A. Krost mit Material, das sie zur Verfügung stellten, die ganzen Arbeiten erst ermöglicht. Ferner hat Dr. A. Krtschil mit seinen Oberflächenuntersuchungen wesentlich zum näheren Verständnis der Problemstellungen beigetragen.

Auch die an der Universität Ulm ansässige Abteilung Optoelektronik hat mit Ihrem GaN–basierenden Wachstum explorative Strukturen hergestellt, welche in enger Zusammenarbeit charakterisiert wurden. Hierbei haben insbesondere M. Seyboth, F. Habel und Prof. F. Scholz für eine reibungslose Zusammenarbeit gesorgt.

Meinen ehemaligen Studienkollegen Markus Bschorr und Karsten Schmidt möchte ich

für die mathematische Unterstützung danken. Unabhängig der anfallenden Aufgaben haben Sie sich immer Zeit genommen, einen möglichen Lösungsansatz zu erarbeiten.

Die ganzen Strapazen sind ohne die private Unterstützung von zu Hause nicht ganz einfach. Hierbei möchte ich mich zuerst bei meinen Eltern bedanken, die mir das ganze Studium und meine Promotion erst ermöglicht haben.

Mein größter Dank gilt meiner Frau, die immer auf mich gewartet und zu mir gestanden hat. Auch in schwierigen Phasen hat Sie mich immer in Wort und Tat unterstützt.

Die Abteilung Halbleiterphysik der Universität Ulm war die erste Kontaktadresse für die Lösung physikalischer Herausforderungen. So haben sowohl Herr Prof. R. Sauer als auch Priv. Doz. K. Thonke immer versucht, ein Erklärungsmodell zu erstellen. Ferner hat Dr. C. Kirchner in epitaktischen Engpässen immer ein offenes Ohr gehabt.

Die Arbeiten dieser Promotion sind durch die Zusammenarbeit vieler internationaler Institute maßgeblich geprägt worden. Diese werden im Folgenden namentlich erwähnt:

1. DaimlerChrysler Forschung (H. Leier, R. Bethash)
2. Sektion Elektronenmikroskopie, Universität Ulm (F. Bahnhart)
3. Electrical and Computer Engineering, Cornell University (G. Koley, M. G. Spencer)
4. Department of Electrical Engineering, University of South Carolina (G. Koley)
5. Sensor Directorate, Wright Patterson Air Force Research Laboratory (T. J. Jenkins, J. Sewell)
6. Materials and Manufacturing Directorate, Wright Patterson Air Force Research Laboratory (V. Van Nostrand)

Natürlich möchte ich mich auch bei allen Unterstützern und Mitarbeitern bedanken, die hier nicht namentlich erwähnt wurden. Ich hatte das große Glück, eine breite Unterstützung erhalten zu haben, weshalb nicht alle Gönner im einzelnen namentlich aufgeführt werden können.

Inhaltsverzeichnis

1	Einleitung	1
2	Eigenschaften der Gruppe III–Nitride	5
2.1	Kristallgitter und Polarisation	7
2.2	Polare Eigenschaften	10
2.2.1	Polarisationsladungen	10
2.2.2	Direkte Auswirkungen der Polarisation	17
2.3	Transistorstrukturen für Gruppe III–Nitride	17
2.4	AlGa _N /Ga _N –FET	23
2.4.1	Physikalischer Aufbau	23
2.4.2	Elektrische Kenndaten des AlGa _N /Ga _N –Schichtaufbaus	24
2.5	Auswirkungen der Oberflächenladungen auf den Transistorbetrieb	25
2.5.1	Passivierte AlGa _N /Ga _N –Transistoren	28
3	Technologie	37
3.1	Wachstum	37
3.1.1	Nukleationsschicht	38
3.1.2	Puffer	39
3.1.3	Barriere	40

3.1.4	AlN-Zwischenschicht	40
3.2	Prozessierung	42
3.2.1	Bauteileisolation (MESA)	42
3.2.2	Sperrfreie Kontakte	44
3.2.3	Gate-Steuer Elektrode	46
3.2.4	Passivierung	48
4	InAlN/GaN-FETs	50
4.1	Physikalischer Schichtaufbau	50
4.2	Elektrische Kenndaten des Schichtaufbaus	52
4.3	Sperrfreie Kontakte auf InAlN	53
4.4	Schottky-Kontakte auf InAlN	54
4.5	FET-Strukturen	55
4.6	Kleinsignalmessungen in InAlN-FETs	59
4.6.1	Leistungsmessung in InAlN	60
4.7	Dispersion in InAlN/GaN-FETs	65
5	RF-Leistungsanwendungen	68
5.1	Thermische Dimensionierung / Thermisches Design der Transistoren	68
5.1.1	Luftbrückentechnologie	71
5.2	Thermisches Management	74
5.3	Aufbautechnik	75
5.4	Aufbau	77

6 Verstärkermodule	80
6.1 Einzeltransistor Modul	80
6.2 „Balanced Amplifier“ Module	84
6.3 Verschaltung mehrerer Module	86
7 Zusammenfassung und Ausblick	88
Anhang	89
A Formelzeichen	89
B Erklärung	114
C Eigene Vorveröffentlichungen	115
C.1 Publikationen	115
C.1.1 Artikel	115
C.1.2 Konferenzbeiträge (eingeladene)	117
C.1.3 Konferenzvorträge (oral)	117
C.1.4 Konferenzbeiträge (Poster)	119
C.1.5 Auszeichnungen	120
C.1.6 Patenteinreichung	120

Kapitel 1

Einleitung

Halbleiter basierende Bauteile gewinnen zunehmend Einfluss in unserem Leben. Dabei wird eine Vielzahl an Funktionen und Einsatzgebieten, wie z.B. Militärtechnik, Unterhaltungselektronik, Informationstechnologie oder auch Lebenswissenschaften („Life Science“) bedient bzw. dargestellt. Hierbei gilt es zu beachten, dass sich die Halbleiter sehr stark in ihren Eigenschaften voneinander unterscheiden und, je nach Einsatzgebiet, nicht alle Halbleiter verwendet werden wollen oder können.

Mit Hilfe theoretischer Bewertungskriterien kann bereits anhand des Halbleiters sein Potential für entsprechende Einsatzgebiete betrachtet werden. Diese Bewertungsschemata werden als „Figures of Merit“ (FOM) bezeichnet. Im Falle der Informationstechnologie ist eine Integrationsdichte in Schaltungen von Bedeutung. Diese kann mit dem Bewertungskriterium der Keyes‘ Figure of Merit (KFOM, [1]) betrachtet werden. Für Anwendungen mit hoher Leistungsdichte und hoher Grenzfrequenz ist die wohl am häufigsten verwendete Größe die Johnson’s Figure of Merit (JFOM, [2]).

Ziel dieser Dissertation ist der Entwurf und die Charakterisierung von hochfrequenten Transistoren mit hoher Leistungsdichte. Tabelle 1.1 zeigt die Johnson und Key’s Figure of Merits. Wichtige in die Betrachtungen mit einfließende Materialgrößen sind ein großer Bandabstand (E_G), hohe Durchbruchfeldstärke (E_{BR}), hohe Sättigungsgeschwindigkeit (v_{SAT}) und hohe Wärmeleitfähigkeit (κ).

	Si	GaAs	SiC	GaN	Diamant
JFOM	1	7,1	711	1740	11400
KFOM	1	0,42	5,1	1,6	25

Tabelle 1.1: Bewertungskriterien verschiedener Halbleitermaterialien bezüglich ihrer Anwendungsmöglichkeiten

Vergleicht man KFOM und JFOM für verschieden Halbleiter (Tabelle 1.1), so erstaunt, dass Silizium zu den vermeintlich schlechtesten Kandidaten zählt, sich aber in der Realität am stärksten durchgesetzt hat. Grund hierfür sind viele weitere mit einfließende Randbedingungen, wie z.B. die Möglichkeit der CMOS-Technologie in Silizium. Diese Umstände können über Erfolg bzw. Misserfolg eines Halbleiters entscheiden, werden aber nicht in den Figures of Merit berücksichtigt.

In dieser Arbeit werden die Transistoren aus dem Material der Gruppe III-Nitride, welche im Volksmund auch als Gallium-Nitrid basierende Transistoren (GaN) bekannt sind, hergestellt. Entsprechend Tabelle 1.1 besitzt Diamant (C) ein größeres Potential für den Einsatz im Bereich hochfrequenter Leistungsverstärkung. Betrachtet man heute das Gebiet der hochfrequenten Leistungsverstärker, so findet man kaum Diamant, erkennt aber große Anstrengungen auf dem Gebiet der Gruppe III-Nitride. In diesem Fall sind wieder Randbedingungen, welche nicht in den Bewertungskriterien beinhaltet sind, ausschlaggebend. Der Siegeszug der GaN-basierenden Bauelemente wurde durch die Lichttechnik getrieben. Der Erfolg der blauen Leuchtdiode, welche als Schlüsselkomponenten für die Herstellung farbiger LED-basierender Displays bzw. der Erzeugung von weißem Licht dient, hat die Materialentwicklung vorangetrieben. Im Schatten der Optoelektronik konn-

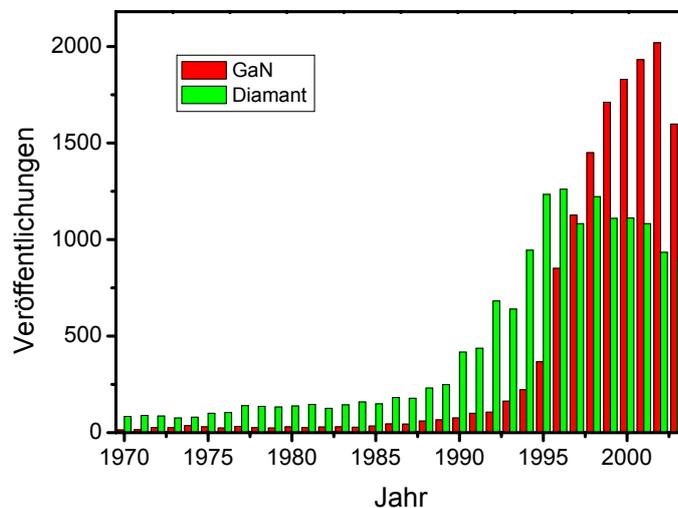


Abbildung 1.1: Veröffentlichungen der Datenbank INSPEC aufgeteilt auf einzelne Jahre. Suchbegriffe: Diamant bzw. GaN, InN und AlN.

te sich die Leistungselektronik mit entwickeln und ihre Konkurrenten überflügelt. Ersichtlich wird dies am Vergleich GaN und Diamant. Abbildung 1.1 zeigt die Anzahl der Publikationen von GaN bzw. Diamant über die vergangenen Jahre. Dabei wird durch eine höhere Publikationsdichte auf dem Gebiet des Diamant der ursprüngliche Forschungsschwerpunkt ersichtlich. Getrieben durch die Erfolge der Gruppe III-Nitride auf dem Gebiet der Optoelektronik verlagerte sich dieser Schwerpunkt auf Kosten des Diamant

hin zu den Gruppe III–Nitriden, was sich in einer erhöhten Publikationsdichte auf diesem Gebiet zeigt.

Die erzielten Leistungsdichten in GaN, welche mehr als eine Größenordnung höher im Vergleich zu anderen Halbleitern sind, haben das Potential dieses Materialsystems eindeutig demonstriert (179 W bei 2 GHz [3], 33 W/mm bei 2 GHz [4]). Unabhängig dieser Erfolge sind derzeit GaN basierende Transistoren noch nicht kommerziell verfügbar. Selbst in eigentlichen „Wide–Bandgap“–Domänen, den Basisbandverstärkern in Frequenzbereichen über 2 GHz, finden Silizium basierende LDMOS–Transistoren ihren Einsatz. Ein Grund hierfür ist in dem instabilen Verhalten dieser Transistoren zu suchen, weshalb ihr Erfolg nicht garantiert ist. Dabei fand eine nicht vorhersehbare Entwicklung statt. Während die Polarisation der Gruppe III–Nitride anfänglich die Entwicklung GaN basierender Transistoren durch Ihre Fähigkeit der Ladungsträgergeneration unterstützt und beschleunigt hat, scheint sie nun als Hinderungsgrund für den stabilen Betrieb dieser Transistoren zu wirken.

GaN ist in die Gruppe der Halbleiter mit großem Bandabstand einzuordnen ($E_G = 3,4$ eV) zusammen mit SiC ($E_G = 3,2$ eV) und Diamant ($E_G = 5,4$ eV). Neben einer hohen Durchbruchfeldstärke ($E_{BR} = 5,3$ MV/cm), großen Wärmeleitfähigkeit ($\kappa = 2,0$ W/cmK) und hoher Sättigungsgeschwindigkeit ($v_{SAT} = 2,7 \cdot 10^7$ cm/s) sind zwei weitere Eigenschaften besonders hervorzuheben. Die Gruppe III–Nitride sind in ihrer energetisch günstigsten Form stark polare Materialien. Diese Eigenschaft zusammen mit der Fähigkeit der Realisierung von Heterostrukturen mit Hilfe von Aluminium–Gallium–Nitrid (AlGaN) ermöglicht die Herstellung von Transistoren mit extrem hohen Leistungsdichten. Eine zusammenfassende Übersicht über die wichtigsten Materialparameter wird in Tabelle 2.1 gegeben. Die bisher erreichten maximalen Leistungsdichten von 33 W/mm bei einem Wirkungsgrad von 54,8 % und einer linearen Verstärkung von 17 dB, erzielt mit AlGaN/GaN–FETs [4], übersteigen selbst optimistische Prognosen für dieses Materialsystem. Abbildung 1.2 spiegelt den Verlauf veröffentlichter maximaler Leistungsdichten über die Zeit wieder. Dabei ist eine anfänglich lineare Zunahme im Wesentlichen einer verbesserten Materialqualität zuzuordnen. Einen Sprung der Leistungsdichten konnte durch die Einführung einer Feldplatte in die Leistungstransistoren erzielt werden. Dabei wird klar, dass sich bei einem neuen Materialsystem sowohl die Materialtechnik als auch die Prozesstechnik zusammen und miteinander abgestimmt entwickeln müssen.

In dieser Arbeit wird ein Überblick über den derzeitigen Stand der Gruppe III–Nitride geben. Dazu wird einleitend auf die Materialeigenschaften und die sich hieraus ableitende neuartige Funktionsweise von Transistorstrukturen eingegangen. Neben hergestellten Strukturen und ihrer Charakterisierung werden die ermittelten Daten zu internationalen Ergebnissen in Bezug gesetzt. Ferner wird auf aktuelle Forschungsarbeiten verwiesen, wodurch eine eigene Einschätzung derzeitiger Entwicklungs– bzw. Forschungsschwerpunkte ermöglicht wird. Zur Integration der realisierten AlGaN/GaN–Transistoren in Ver-

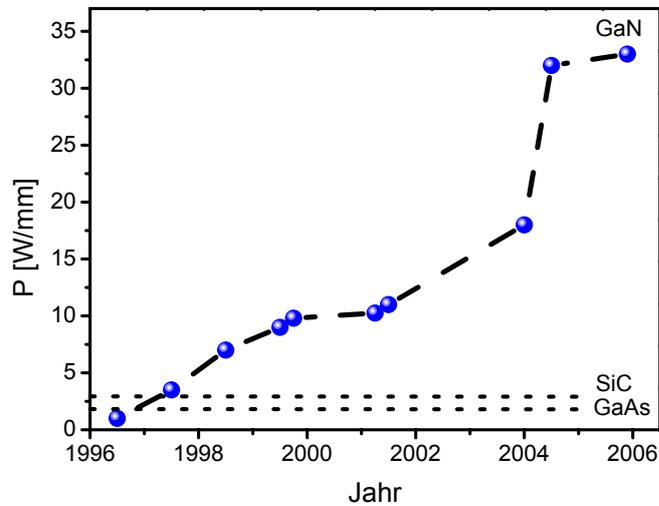


Abbildung 1.2: Überblick über veröffentlichte Leistungsdichten in W/mm für GaAs, SiC und GaN.

stärkermodule wird eine low-cost Verbindungstechnik entwickelt.

Ein neuartiger Transistortyp bestehend aus einer InAlN/GaN-Schichtfolge, wird vorgestellt. Sein Potential für den Einsatz als hochfrequenter Leistungsverstärker wird sowohl durch theoretische Grundlagen als auch in Experimenten nachgewiesen.

Abschließend werden in einer Zusammenfassung ein Ausblick und mögliche zukünftige Trends vermittelt.

Kapitel 2

Eigenschaften der Gruppe III–Nitride

Für die Herstellung von Leistungstransistoren kann anhand von Materialparametern mit

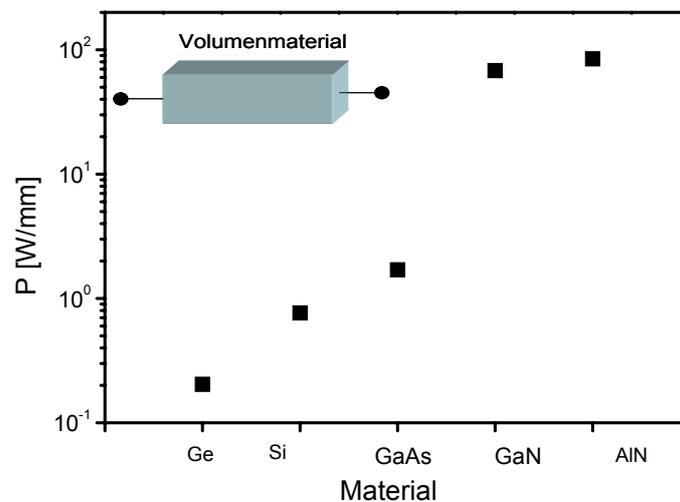


Abbildung 2.1: Dargestellt wird die Potentielle Leistungsdichte bestimmt mit Hilfe der „Lateral Spreading“ Theorie für verschiedene Materialien.

Hilfe theoretischer Betrachtungen eine grobe Abschätzung über die potentielle materialabhängige Leistungsdichte ermittelt werden. Für diese Betrachtung der Halbleiter wird häufig die „Lateral Spreading“-Theorie¹ verwendet. Dabei wird eine Nenngröße für die potentielle Leistungsdichte eines Werkstoffes aus dem Produkt der Sättigungsgeschwindigkeit (v_{SAT}) und der Durchbruchfeldstärke (E_{BR}) ermittelt. Hierbei werden einfache

¹„Lateral Spreading“-Modell für den Lawinendurchbruch: Limitierung der Durchbruchspannung U_{Br} in der Hochfeldregion der Driftzone durch $U_{Br} \sim \frac{1}{N_D d_{Kanal}}$ mit der Dotierkonzentration N_D und der Kanalhöhe d_{Kanal} . Damit folgt $N_D U_{Br} = const = I_{DSS} U_{Br} \sim P_{max}$ entsprechend [5]

Volumenkristalle miteinander verglichen. Weitere Einflüsse, wie z.B. der mögliche Aufbau einer Heterostruktur, fließen in diese Betrachtung nicht mit ein. Abbildung 2.1 gibt eine Übersicht über potentielle Leistungsdichten für unterschiedliche Halbleitermaterialien. Dabei sind vor allem die Gruppe III–Nitride interessant, welche im folgenden näher betrachtet werden.

Neben viel versprechender Materialeigenschaften können in den Gruppe III–Nitriden nicht relaxierte Heterostrukturen realisiert werden. Wie sich im weiteren Verlauf zeigen wird, ist dieser weitere Freiheitsgrad ebenfalls von großer Wichtigkeit und macht dieses Materialsystem noch attraktiver im Vergleich zu anderen „Wide Band Gap“ Materialien.

Gruppe III–Nitride werden durch die binären Halbleiter Galliumnitrid (GaN), Indiumnitrid (InN) und Aluminiumnitrid (AlN) und den ternären Verbindungen Aluminium–Gallium–Nitrid (AlGaN), Indium–Alluminium–Nitrid (InAlN) und Indium–Gallium–Nitrid (InGaN) gebildet. Dabei werden Sättigungsgeschwindigkeiten von $3 \cdot 10^7 \text{ cm s}^{-1}$ und Durchbruchfeldstärken von 12 MV/cm erzielt (Tabelle 2.1). Die Gruppe III–Nitride spannen einen Bandabstand von 0,65 eV bis 6,2 eV bei einer Gitterkonstante zwischen 3,11 Å und 3,53 Å auf (Abbildung 2.2). Die Herstellung nicht relaxierter Heterostrukturen ist in diesem Materialsystem unter Berücksichtigung einer kritischen Dicke möglich.

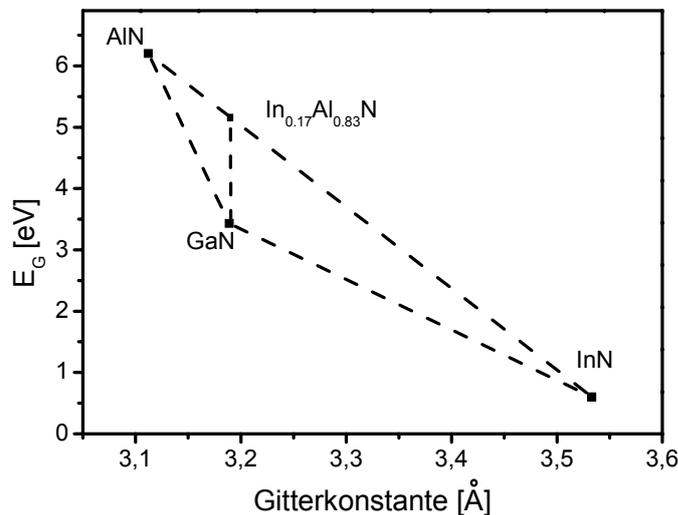


Abbildung 2.2: Verlauf des Bandabstandes über die Gitterkonstante für Gruppe III–Nitride. Nichtlinearitäten, welche im allgemeinen durch den „Bowing–Faktor“ ausgedrückt werden, sind nicht berücksichtigt.

Materialkonstante	InN	GaN	AlN
Bandabstand E_G [eV]	0.65	3.4	6.2
relative Dielektrizitätskonstante ϵ_R []	15	8.9–9.5	8.5
Durchbruchfeldstärke E_{BR} [MV/cm]	1.2	5.3	11.7
Sättigungsgeschwindigkeit v_{SAT} [10^7 cm s^{-1}]		2–3	1.7
Wärmeleitfähigkeit κ [$\text{W cm}^{-1} \text{ K}^{-1}$]	0.45	2.0	2.85

Tabelle 2.1: Eine Übersicht über die wichtigsten Materialparameter der Gruppe III–Nitride nach [6][7][8][9][10][11].

2.1 Kristallgitter und Polarisation

Gruppe III–Nitride können sowohl in einer hexagonalen Wurzitstruktur als auch in einer Zinkblendestruktur (kubische Anordnung) auftreten. Den energetisch günstigsten Zustand bildet dabei die hexagonale Anordnung der Atome. Die Zinkblendestruktur ist metastabil und infolgedessen sehr defektbehaftet.

Besondere Beachtung hat die hexagonale Wurzitstruktur aufgrund ihrer Stabilität gefunden, weshalb ausschließlich diese Kristallstruktur im weiteren Verlauf betrachtet wird. Sie ist durch eine Verzerrung der idealen Wurzitstruktur im Gegensatz zur Zinkblendestruktur stark polar.

In diesem Material werden zum ersten Mal polare mit halbleitenden Eigenschaften vereint.

Der polare Einfluss des Materials auf die unpolare Transistorstruktur ist äußerst unerwünscht, findet derzeit aber in allen Transistoren auf Gruppe III–Nitriden der Kristallstruktur Zinkblende statt. Er spielt eine entscheidende Bedeutung für die Funktionalität der Bauteile, weshalb diese Materialeigenschaften im folgenden genauer betrachtet werden.

Einige der außergewöhnlichen physikalischen Eigenschaften der Gruppe III–Nitride mit einer hexagonal–Wurzitstruktur sind: Hohe Durchbruchfeldstärke, großer Bandabstand und hohe Sättigungsgeschwindigkeit (Tabelle 2.1). Diese Eigenschaften sind, im Vergleich zu anderen III–V–Halbleiter, auf die Eigenschaften des Stickstoffes zurückzuführen. Dieser bildet durch seine geringe atomare Größe sehr kurze Bindungen aus, welche ferner, durch seine starke Elektronegativität in Bezug auf die Bindungspartner, zu einer Verschiebung des Ladungsträgerschwerpunktes der Bindungen führt. Die Aufenthaltswahrscheinlichkeit der Elektronen liegt näher beim Stickstoff als bei seinem Bindungspartner. Die Verschiebung des Ladungsträgerschwerpunktes nimmt mit zunehmendem Maße für InN, GaN und AlN zu, wobei die Metall („Anion“) – Stickstoff („Kation“) Verbindungen bereits ionischen Charakter aufweisen.

In Abbildung 2.3 ist die hexagonale Wurzitstruktur abgebildet. Dabei ist die Basalebene durch Verbindungslinien angedeutet. Das Gitter kann durch die Seitenlänge (a_0) und

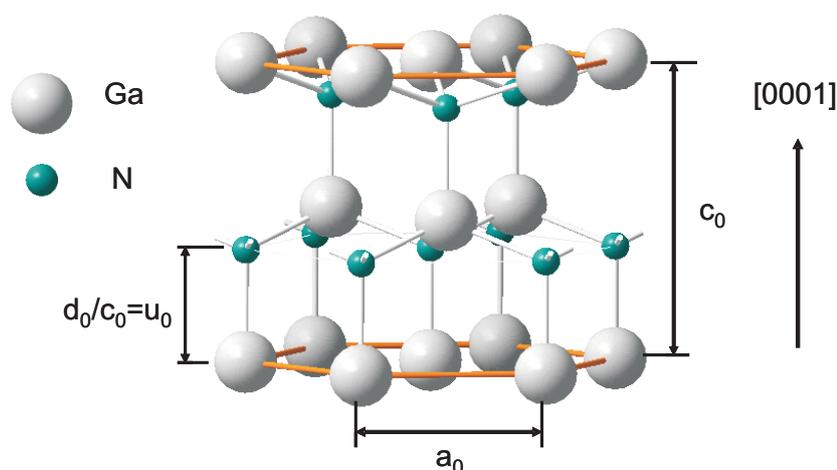


Abbildung 2.3: Hexagonal–Wurzit Struktur von GaN nach [12].

die Höhe (c_0) des Hexagons zusammen mit dem internen Parameter u_0 vollständig beschrieben werden. u_0 steht dabei für die „Anion–Kation“ Bindungslänge in Richtung der $[0001]$ –Achse (c –Achse) in Einheiten von Gitterkonstanten. Die Bindungslänge der tetraedrischen Metall–Stickstoffverbindung kann mit $d_0 = u_0 c_0$ beschrieben werden.

Im idealen Wurzitgitter sind alle Bindungslängen und Bindungswinkel identisch. Das Verhältnis der Gitterkonstanten beträgt $c_0/a_0 = \sqrt{8/3}$ mit $u_0 = 3/8$. Die aufgrund der Verschiebung des Ladungsträgerschwerpunktes der Metall–Stickstoffverbindungen entstehenden Dipole ($\vec{P}_1 - \vec{P}_4$) kompensieren sich bei einer idealen Tetraederstruktur durch Rotationssymmetrie, weshalb keine makroskopischen Dipole entstehen (Abbildung 2.4).

In Abweichung zum idealen Wurzitgitter findet man bei Gruppe III–Nitride deutlich klei-

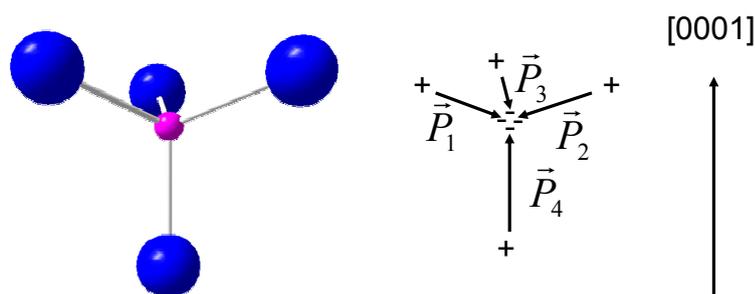


Abbildung 2.4: Ideale Tetraederstruktur im Hexagonal–Wurzit Gitter.

nere c_0/a_0 Verhältnisse und größere Werte für u_0 was einer Streckung in der Basalebene, verbunden mit einer Stauchung in $[0001]$ Richtung entspricht. Am besten können diese Veränderungen an einer im Gitter vorkommenden Tetraederstruktur gezeigt werden (Abbildung 2.5). Für eine ideale Wurzitstruktur ist das Tetraeder symmetrisch und besitzt vier

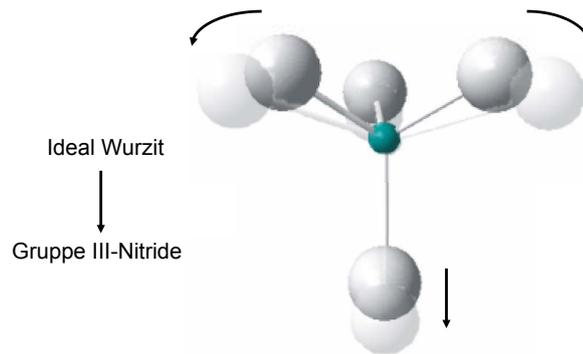


Abbildung 2.5: Änderungen einer Tetraederstruktur im idealen Wurzitgitter im Vergleich zum Gitter eines Gruppe III-Nitrides.

gleiche Bindungslängen. Im realen Gruppe III-Nitrid findet eine Verzerrung statt, wobei die Rotationssymmetrie in der [0001]-Ebene existent bleibt. Senkrecht zu dieser Ebene, also in der [0001]-Richtung, entsteht ein resultierender mikroskopischer Dipol.

Die Summe der resultierenden mikroskopischen Dipole, normiert auf die Fläche, bezeichnet man als spontane Polarisation (\vec{P}_{SP}). Ihre Orientierung entspricht den Dipolen und ist entlang der [0001]-Achse gerichtet. Dabei nimmt sie mit kürzerer Bindungslänge Metall-Stickstoff von InN über GaN bis zu AlN kontinuierlich zu.

Wie bereits erläutert, führt eine Verzerrung der idealen Wurzitstruktur aufgrund der unterschiedlichen Elektronegativitäten zu einer Polarisation der Gruppe III-Nitride. Dabei spielt es keine Rolle, was der Grund für die Verzerrung ist. Wird ein Kristall z.B. mechanisch von außen verspannt, so ändert sich intern die Polarisation. Diese Änderung wird als Piezopolarisation (\vec{P}_{PE}) bezeichnet. Bei einer homogenen Einwirkung einer mechanischen Kraft in der Basalebene stellt sich für P_{PE} eine Orientierung entlang der [0001]-Achse ein. Abhängig ob eine Zug- bzw. Druckbelastung ausgeübt wird, besitzt P_{PE} ein positives bzw. negatives Vorzeichen.

Die gesamte im Material vorhandene Polarisation \vec{P}_{Tot} wird aus der Summe der zwei Einzelpolarisationen wie folgt ermittelt.

$$\vec{P}_{Tot} = \vec{P}_{SP} + \vec{P}_{PE} \quad (2.1)$$

Mechanische Verspannungen treten vor allem bei der Realisierung von Heterostrukturen mit Materialien unterschiedlicher Gitterkonstanten auf. In diesem Fall findet die mechanische Krafteinwirkung ausschließlich in der Basalebene statt. Da \vec{P}_{PE} für diesen Fall ebenfalls ausschließlich in [0001]-Richtung zeigt, können beide Anteile der Polarisation zur Gesamtpolarisation als Skalar aufsummiert werden.

Ohne alle einzelnen Winkel im Gitter zu betrachten, kann vereinfachend für Heterostrukturen zusammengefasst werden, dass eine Dehnung der Kristallstruktur in der Basalebene die gesamte Polarisation im Material erhöht, während eine Stauchung diese verringert.

2.2 Polare Eigenschaften

Während die polaren Eigenschaften einen wesentlichen Beitrag für die großen Erfolge der Gruppe III–Nitride beitrugen, so scheinen eben diese Eigenschaften aktuell Hochleistungs- bzw. Hochfrequenztransistoren zu limitieren.

Die polaren Eigenschaften wurden bereits 1824 durch John Brewster entdeckt, und konnten 1880 durch Pierre und Jacques Curie [17] der Kristallstruktur zugeordnet werden. Bis heute finden sie vielseitige Anwendungen wie z.B. im Piezo–Feuerzeug, Piezo–Waage und Piezo–Lautsprecher. Allerdings sind die bis dato verwendeten polaren Materialien zumeist isolierende Keramiken. Die Gruppe III–Nitride bieten erstmals die Möglichkeit, die halbleitenden Eigenschaften mit den polaren Eigenschaften zu vereinen. Diese sich hieraus ableitenden Eigenschaften werden in Gruppe III–Nitrid basierenden Transistorstrukturen angewandt und im folgenden beschrieben.

2.2.1 Polarisationsladungen

Die in Gruppe III–Nitriden vorhandenen Dipole kompensieren sich makroskopisch im inneren des Volumenmaterials. Lediglich an Polarisationsunterschieden, wie dies an Grenzflächen der Fall ist, finden die Dipole teilweise keine Gegenpole, bzw. es sind zu viele Gegenpole vorhanden. Folglich findet keine makroskopische Kompensation der Grenzflächendipole statt. Die nicht kompensierten Dipole können nach Maxwell als Ladung betrachtet werden. Da die Dipole durch das Gitter entstehen und nicht wandern können, kann die Ladung auch als ortsfeste Ladung charakterisiert werden. Aus Neutralitätsgründen existiert zu jedem nicht kompensierten Pol ein Gegenpol, auch wenn sich dieser unter Umständen makroskopisch räumlich getrennt befindet. Nicht kompensierte Pole generieren zwischen ihren Ladungen ein elektrisches Feld. Dieses Feld ist in Isolatoren messbar und wird täglich z.B. in Piezo–Feuerzeugen verwendet. In den Gruppe III–Nitriden aber kommt nun der halbleitende Materialcharakter zum Vorschein. Das elektrische Feld wird durch im Halbleiter induzierte Gegenladungen kompensiert. Diese Kompensation findet näherungsweise mit der Debyelänge von ca. 5–10 nm statt, weshalb das Volumenmaterial feldfrei ist. Die induzierte Gegenladung entspricht dem Anteil der mikroskopisch an einer Grenzfläche nicht kompensierten Dipole, oder mit anderen Worten gesagt, der jeweiligen Polarisationsdiskontinuität der Grenze (Dipolladung). Wiederum aus Neutralitätsgründen kompensieren sich alle induzierten Ladungen in einem Material durch Aufsummation. Betrachtet man zudem, dass die Orientierung der Polarisation in Gruppe III–Nitriden entlang der *c*–Achse zeigt, so wird ersichtlich, dass nur Grenzflächen in dieser Achse Polarisationsladungen aufweisen.

An einem polaren Material in unpolarer Umgebung soll der Unterschied zwischen Isolator und Halbleiter verdeutlicht werden (Abbildung 2.6). Wie bereits erwähnt, bilden

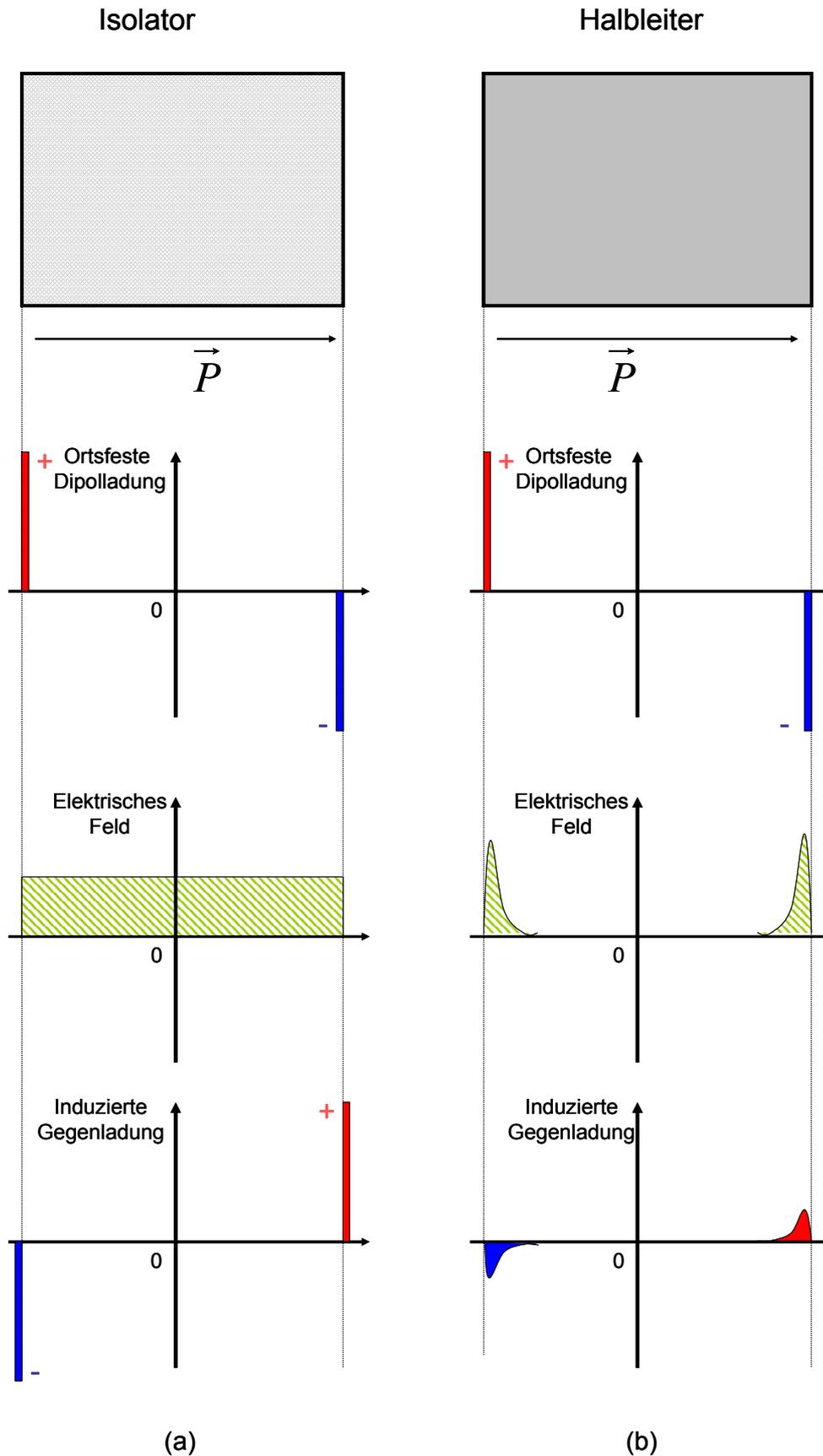


Abbildung 2.6: Schematische Darstellung der ortsfesten Dipolladungen, des elektrischen Feldes und der induzierten Gegenladung im Halbleiter.

Dipole an Grenzflächen von Materialien unterschiedlicher Polarisierung, ortsfeste Ladungen aus, was durch die deltaförmigen ortsfesten Dipolladungen angedeutet ist. Im Isolator (a) kann das durch die Dipolladungen generierte elektrische Feld nicht kompensiert werden und besitzt im ganzen Isolator einen konstanten Wert. Im Halbleiter dagegen werden Ladungsträger induziert, welche das Feld auf nur wenigen Nanometer abschirmt und den Volumenkristall feldfrei macht (b). Im Falle des Isolators findet eine Kompensation außerhalb des Halbleiters durch Absorbate aus dem umgebenden Medium statt. Ebenfalls dargestellt ist die Richtungsabhängigkeit der Polarisierung. Es entstehen keinerlei Ladungen an Grenzflächen senkrecht zu ihrer Orientierung.

Zur mathematischen Ermittlung der gesamten Polarisierung in einem Material wird in einem ersten Schritt die spontane und Piezopolarisierung bestimmt. Dabei unterscheidet sich ihre Bestimmung wie folgt:

Spontane Polarisierung

Die spontane Polarisierung wurde für die binären Verbindungshalbleiter GaN, InN und AlN mit Hilfe von Oberflächenschallwellen ermittelt [19] [20]. Entsprechend eines Ansatzes nach [21] wird P_{SP} für die ternären Gruppe III–Nitride InAlN, InGaN und InAlN mit Hilfe des „Vegardschen Gesetzes“ durch lineare Interpolation aus den Verbindungshalbleitern InN, GaN und AlN ermittelt.

Piezopolarisierung:

Für die Bestimmung der auf Verspannung in der Basalebene beruhenden Piezopolarisierung werden folgende Annahmen getroffen:

1. Die Gitterkonstante (a_0) der dünnen Schicht wird homogen auf die Gitterkonstante des Materials der dickeren Schicht (a) verspannt.
2. Die Grenzflächen vollziehen sich atomar und es findet keine Relaxation in der verspannten Schicht statt.
3. Die für die Berechnung nötigen elastischen Konstanten c_{13} [22] und c_{33} [23] bzw. piezoelektrische Konstanten e_{31} und e_{33} [24] werden aus den Elementhalbleitern linear interpoliert.
4. Für das Material werden ideale Gitter ohne Defekte angenommen.

Unter Verwendung dieser Annahmen kann für einen Gruppe III–Nitrid mit hexagonaler Wurzitstruktur \vec{P}_{PE} mit einer [0001]–Orientierung nach [21] wie folgt ermittelt werden:

$$\vec{P}_{PE} = 2 \cdot \frac{a - a_0(x)}{a_0(x)} \cdot \left(e_{31}(x) - e_{33}(x) \cdot \frac{c_{13}(x)}{c_{33}(x)} \right) \cdot \vec{e}_{0001} \quad (2.2)$$

Da tensile/kompressive Verspannungen in der Basalebene (Kapitel 2.1) ausschließlich eine Piezopolarisation in [0001]-Achse verursacht, wird sie für die weiteren Betrachtungen als Skalar behandelt.

Zur Ermittlung der gesamten Materialpolarisation werden beide Komponenten (P_{SP} und P_{PE}) entsprechend Gleichung 2.1 zu P_{Tot} addiert. Da in realen Strukturen oftmals eine wenige Nanometer dicke Barrierenschicht auf eine mehrere Mikrometer dicken Puffer gewachsen wird, kann von einer völligen Verspannung der Barriere auf die Gitterkonstante des Puffers ausgegangen werden, was die für die Berechnung getroffenen Annahmen bekräftigt.

Entsprechend Gleichung 2.2 nimmt mit zunehmendem Grad der Verspannung die Piezopolarisation zu.

In realen Gruppe III-Nitrid Strukturen sind vor allem Heterostrukturen von Interesse, was einem Stapel mehrerer polarer Medien, zumeist in Atmosphäre (unpolar), entspricht. Auch diese Konstellation kann theoretisch betrachtet werden. Dabei wird wie folgt vorgegangen. Zuerst werden die einzelnen Halbleiter getrennt und unabhängig voneinander im gleichen Medium betrachtet und ihre Dipolladung mit Hilfe der Polarisationsdiskontinuität ($\delta = \Delta \vec{P}$) ermittelt. Die induzierte Gegenladung der Grenzfläche (Polarisationsladung) ist in erster Näherung gleich groß wie die Dipolladung der Grenzfläche, allerdings mit umgekehrtem Vorzeichen. Für den Aufbau eines Stapels werden an den Grenzflächen die induzierten Ladungen beider Teilkomponenten aufsummiert, wonach abhängig vom Vorzeichen der einzelnen Komponenten, sich die absolute Ladung erhöhen bzw. verringern kann (Abbildung 2.7). Der Aufenthaltsort der resultierenden Ladung ist nur schwer eindeutig festzustellen, da es sich um ausgedehnte Aufenthaltswahrscheinlichkeiten handelt. An einer Grenzfläche kann davon ausgegangen werden, dass sich die Ladung bevorzugt im Material mit kleinerem Bandabstand aufhält.

Der Nachweis und gleichzeitig auch häufigste Anwendung der polaren Eigenschaften wird in Form der Elektronenakkumulation an einer AlGaN/GaN-Grenzfläche, welche als Kannalladung in Transistoren dient, erbracht (Abbildung 2.8). Diese Ladung bildet sich in Form eines zweidimensionalen Elektronengases (2DEG) aus und kann mit Hilfe verschiedener Charakterisierungsmethoden, wie Hallmessungen oder spannungsabhängiger Kapazitätsmessungen (CV-Messung) bestimmt werden.

Neben Elektronen ist es auch möglich, Löcher an Grenzflächen anzureichern, da die polaren Eigenschaften unabhängig des Ladungsträgertyps angewendet werden können. Dies wurde durch die Bestimmung positiver induzierter beweglicher Ladungsträger in einer undotierten GaN/InGaN-basierenden Heterostrukturen prinzipiell nachgewiesen. Dabei besitzt die positive Ladung die Form eines zweidimensionalen Löchergases (2DHG) und könnte Verwendung als Kanalladung in einem p-Typ Transistor finden [25].

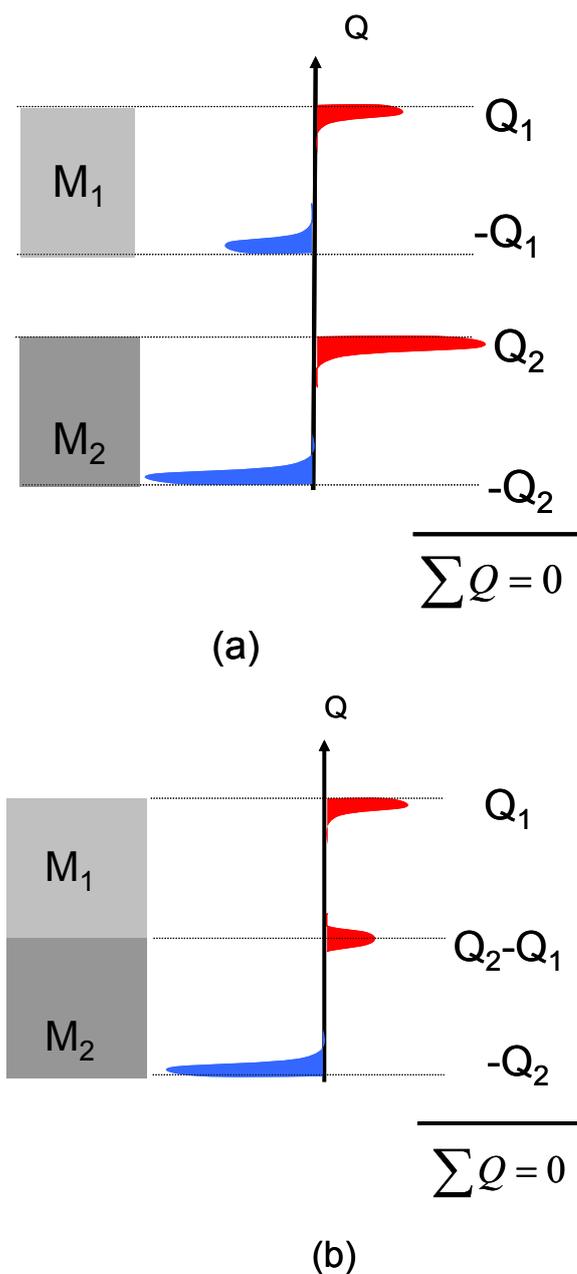


Abbildung 2.7: Schematische Darstellung der Verteilung der Polarisationsladung. a) Darstellung der Ladung von zwei separaten Volumenmaterialien / Einzelschichten. b) Verteilung nach Bildung / Aufbau eines Stapels durch Bildung einer Grenzfläche zwischen den Einzelschichten.

Zum Nachweis der Polarisationsladungen wurde, neben klassischen Charakterisierungsmethoden, eine neuartige Messmethode an der Universität Magdeburg entwickelt [31]. Diese Methode beruht auf der Detektion von Polarisationsfeldern. Wie bereits erwähnt, erzeugen die ortsfesten Dipolladungen ein elektrisches Feld, welches durch induzierte Ladungsträger kompensiert wird. Die räumliche Ausdehnung der Kompensation kann mit der Debyelänge (ca. 5–10 nm bei $N_D = 10^{17} \text{cm}^{-3}$ in GaN [26]) abgeschätzt werden. Innerhalb dieser Strecke existiert ein elektrisches Feld, welches durch Wellenlängenver-

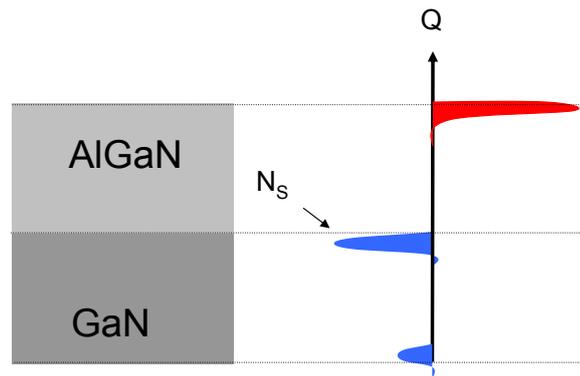


Abbildung 2.8: Schematische Darstellung der Ladungsverteilung durch Stapeln mehrerer polarer Einzelschichten. a) Darstellung der Ladungsbilanz der separaten Medien. b) Ladungsbilanz des Schichtaufbaus nach der Zusammenführung beider Medien.

schiebungen in InGaN basierenden Quantenstrukturen [27] nachgewiesen ist. Dieses elektrische Feld kann indirekt durch Oberflächenpotentialmessungen bestimmt werden. Dazu wird das Oberflächenpotential des Halbleiters quasi stromfrei mit einer piezogesteuerten Messnadel bestimmt. Für die Messung wird die Nadel in einem definierten Abstand von wenigen Nanometern über die Oberfläche geführt. Das detektierte Potential wird gegenüber dem Materialsubstrat als Spannung ausgegeben. Diese Messung wird als „Kelvin Probe Microscopy“ [28] bezeichnet. Theoretisch kann durch eine Differenzierung des Potentials nach dem Ort das elektrische Feld an der Oberfläche bestimmt werden, woraus sich direkt die Ladungsverteilung ermitteln lässt. Da aber durch die galvanische Trennung zwischen Nadel und Oberfläche die ermittelte Spannung einem relativen und nicht dem absoluten Wert entspricht, können die Dichteverteilungen der Ladungen nicht absolut bestimmt werden. Gemessene Tendenzen stimmen aber sehr wohl und erlauben die Identifizierung der Position und das Vorzeichen einer Ladung. So entspricht eine ortsfeste positive Polarisationsladung einem positiven Potentialsprung des gemessenen Oberflächenpotentials, bzw. umgekehrt für negative Ladungen [29].

Abbildung 2.9 zeigt schematisch den Messaufbau. A. Krtuschil hat die Kelvin Probe Mi-

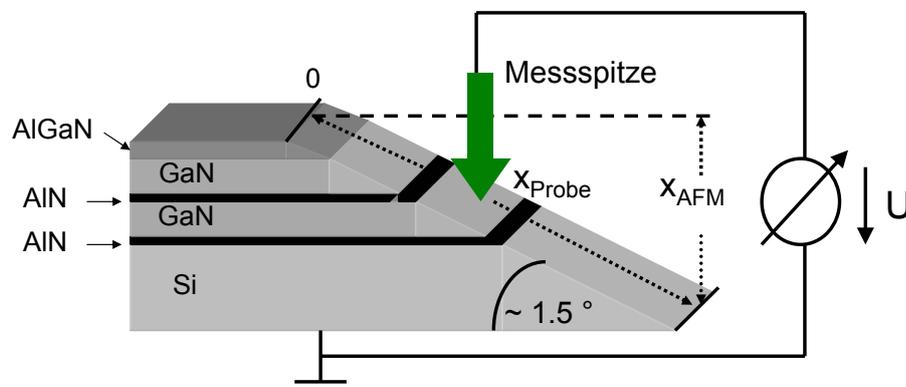


Abbildung 2.9: Schematischer Messaufbau zur Bestimmung des Oberflächenpotentials. Angedeutet ist auch die Präparation der Probe um eine verbesserte Auflösung zu erzielen [28].

scopy an einer Multiheterostruktur, bestehend aus einer AlGaN/GaN/AlN/GaN/AlN/Si-Schichtfolge durchgeführt [28]. Der Abstand zwischen Probe und Messnadel beträgt 500 nm. Um die örtliche Auflösung zu erhöhen, wird die Probe mit einem Neigungswinkel von $1,5^\circ$ angeschliffen, was die räumliche Auflösung in [0001]-Richtung 50-fach erhöht. Abbildung 2.10 zeigt den gemessenen Potentialverlauf eines Oberflächenscans, durchge-

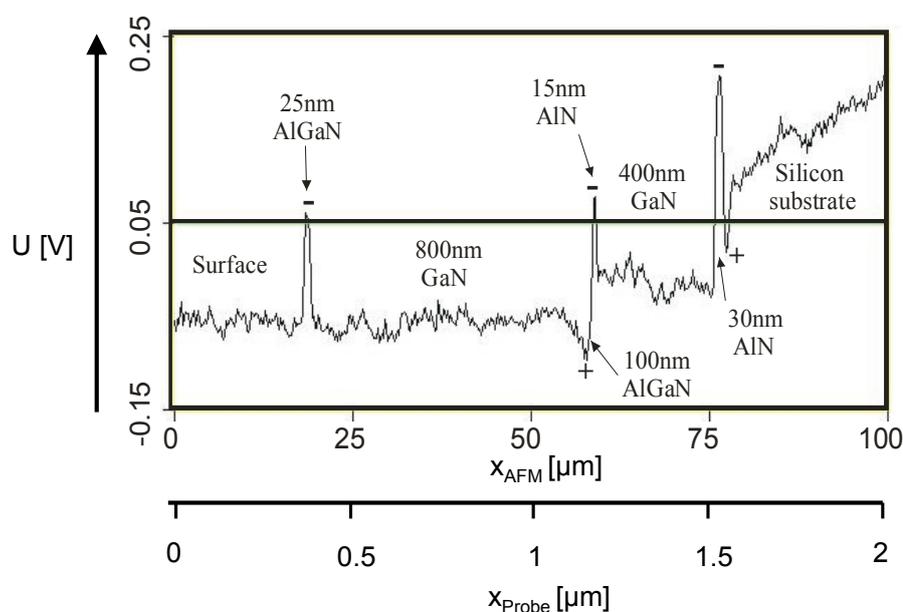


Abbildung 2.10: Oberflächenspannungen ermittelt mit Hilfe eines AFMs an einer unter $1,5^\circ$ geschliffenen Heterostruktur [31].

führt auf einer Länge von $100\ \mu\text{m}$ entlang der geschliffenen und polierten Seite. Die zurückgelegte Wegstrecke der Nadel während der Messung beginnt an der AlGaN-Barrierschicht und erstreckt sich bis in das Siliziumsubstrat. Dabei entspricht x_{AFM} der tatsächlich zurückgelegten Strecke bzw. x_{Probe} der um den Schrägschliff bereinigten vertikalen Distanz.

Entsprechend theoretischer Betrachtungen befinden sich sowohl die positiven als auch die negativen ortsfesten Polarisationsladungen an ihren jeweiligen Grenzflächen. Aufgrund der geringen räumlichen Ausdehnung der Potentialsprünge kann auf eine Materialgrenzfläche im atomaren Bereich geschlossen werden. Das konstante Potential zwischen den Grenzflächen in den Gruppe III-Nitriden deutet auf ein feldfreies Volumenmaterial hin. Bereits an der Grenzfläche Substrat-Anwachsschicht (Nukleationsschicht) ist die Ausbildung der Polarisationsladungen deutlich erkennbar, trotz sicherlich schlechter Materialqualität und vieler Defekte.

Zusammenfassend kann festgestellt werden, dass die Existenz und der Einfluss der Dipole durch mehrere voneinander unabhängige Messmethoden verifiziert wurde. Dieser muss bei den weiteren Untersuchungen immer in Betracht gezogen werden.

2.2.2 Direkte Auswirkungen der Polarisierung

Betrachtet man sich die theoretischen Ausführungen aus Kapitel 2.2.1, so erkennt man für $[0001]$ orientierte Gruppe III–Nitride direkt an der Oberfläche aufgrund der Polarisationsdiskontinuität ortsfeste Dipole. Die dadurch strukturell bedingte induzierte Oberflächenladung erschwert eine Kontrolle dieser Grenzfläche zusätzlich zu vorhandenen Oberflächenzuständen. Diese Einflüsse sind unerwünscht und stören den Transistorbetrieb (Abbildung 2.11). Eine Lösung, den Einfluss der polaren Eigenschaften auf die Gruppe

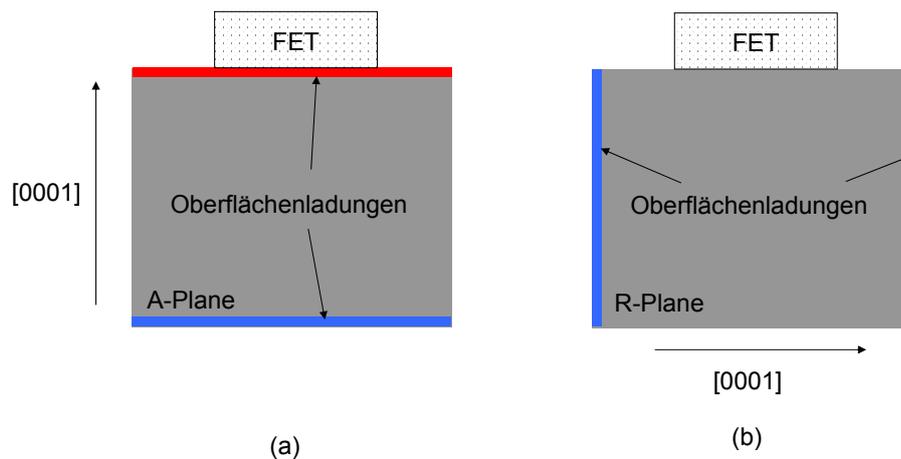


Abbildung 2.11: Schematische Darstellung der Oberflächenladungen eines Gruppe III–Nitrids für den Fall einer veränderten Kristallorientierung. Die Bezeichnungen der Flächen (A- bzw. R-Plane) werden in den Abbildungen beschrieben.

III–Nitride zu verhindern, liegt in einer Drehung des Materials. Unter Verwendung von Grenzflächen senkrecht der $[0001]$ -Richtung für die Herstellung von FETs muss der polare Charakter des Gruppe III–Nitrids nicht mehr berücksichtigt werden (Abbildung 2.11). Die $[0001]$ -Vorzugsrichtung zu drehen, ist nur bedingt kontrollierbar. Dargestellt wird dies symbolisch am Fall der A und R-Ebene des Wurzit. Dies gilt aber ebenso für weitere Ebenen senkrecht zur $[0001]$ -Vorzugsrichtung, wie z.B. die M-Ebene. Alternativ kann durch einen entsprechenden Sägeschnitt aus einem großen Einkristall die Ebene gewonnen werden. Dies ist aus Mangel an großen Einkristallen derzeit keine Option. Aus diesem Grund hat sich in Gruppe III–Nitriden doch die $[0001]$ -Wachstumsrichtung für die Herstellung von Transistorstrukturen durchgesetzt. Dabei müssen die Oberflächenladungen in Kauf genommen werden. Da eine Vermeidung der Ladung nicht möglich ist, gilt es diese zu kontrollieren. Ansätze hierzu beruhen vor allem auf einer Passivierung der Oberfläche.

2.3 Transistorstrukturen für Gruppe III–Nitride

Für Leistungsanwendungen bei Gruppe III–Nitriden eignet sich der MESFET („Metal Semiconductor Field Effect Transistor“) bzw. die HEMT–Struktur („High Electron Mo-

bility Transistor“). Die HEMT–Struktur weist gegenüber dem MESFET ein hohes Aspektverhältnis aus. Gemeint ist damit, dass es durch die interne Barriere möglich wird, eine Flächenladung dicht am Steuerkontakt zu halten und trotzdem einen noch steuerbaren Schottkykontakt zu erhalten. Im Gegensatz zu anderen Materialsystemen spielt in dieser Struktur weniger die erhöhte Beweglichkeit des 2DEG eine Rolle, da für Leistungsanwendungen der Transistor im tiefen Sättigungsbereich betrieben wird. In diesem Betriebszustand ist die Sättigungsgeschwindigkeit dominant, welche durch den Schichtaufbau nicht erhöht wird. Für die weiteren Betrachtungen werden ausschließlich HEMT–Strukturen verwendet.

Die HEMT–Struktur in Gruppe III–Nitriden wird durch eine Barriere auf einem nomi-

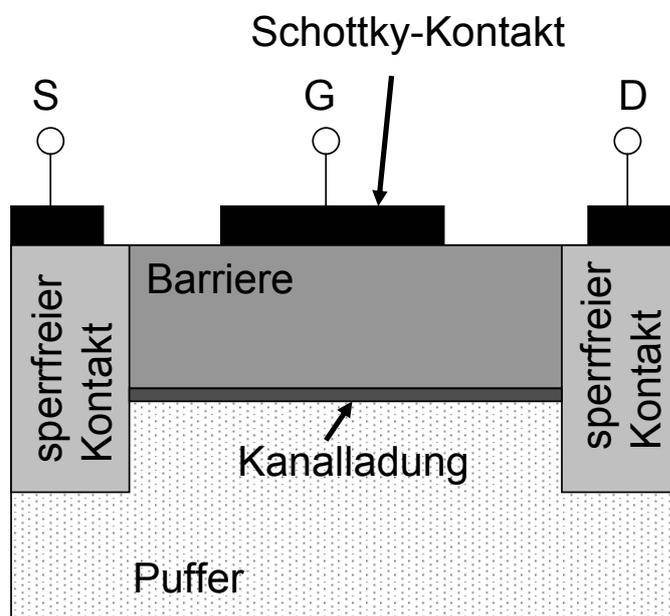


Abbildung 2.12: Schematische Darstellung des Aufbaus einer HEMT–Struktur.

nell semiisolierenden Puffer realisiert (Abbildung 2.12). Sowohl Barriere als auch Puffer werden nicht dotiert. Die negative Kanalladung wird durch die Polarisationsdiskontinuität an der Grenzfläche Barriere–Puffer generiert und befindet sich an der Materialgrenze zwischen Puffer und Barriere. Üblicher Weise besitzt die Barriere einen größeren Bandabstand als der Puffer. Eine Elektronenführung wird durch eine Barriere der Polarisation an der Grenzfläche erzielt. Zusätzlich kann in geeigneten Schichtstrukturen (z.B. AlGaIn/GaN) die Ladungsträgerführung durch eine Leitungsbanddiskontinuität an der Grenzfläche unterstützt werden.

In praktischen Realisierungen haben sich GaN–Puffer im Zusammenhang mit AlGaIn bzw. InAlN–Barrieren durchgesetzt.

Für die Herstellung der Transistoren wird der Kanal über sperrfreie Kontakte (Tunnelkontakte) verbunden.

Die steuernden Eigenschaften der Transistorstruktur sind sowohl durch Schottkykontakten als auch durch MIS–Strukturen („Metal–Insulator–Semiconductor“) realisiert worden. Bei den MIS–Strukturen wird die Steuerelektrode durch ein isolierendes Dielektrikum vom Halbleiter getrennt. Dabei gilt es zu erwähnen, dass der Schottky–Steuerkontakt die Gruppe III–Nitridtransistoren klar dominiert. Neben den elektrischen Kontakten müssen folgende weitere Kriterien für die Konzeption eines Leistungstransistors berücksichtigt werden:

Reine Gruppe III–Nitride sind in der Gruppe der Halbleiter mit großem Bandabstand („Wide–Bandgap“) einzuordnen, weshalb undotierte Materialien, wie es für die Barriere und den Puffer der Fall ist, theoretisch elektrisch isolierende Eigenschaften aufweisen. Folglich werden unerwünschte parasitäre Ströme z.B. über den Puffer im Transistorbetrieb für alle Betriebszustände unterbunden. Im Gegensatz zum klassischen HEMT kommt dieser Schichtaufbau ohne Versorgungsschicht („Supply Layer“) aus. Die Ladungsgeneration wird in dieser Konstellation durch die polaren Eigenschaften, kombiniert aus piezo und spontaner Polarisation, entsprechend Kapitel 2.1, erfüllt. Dies bedeutet, dass die Gruppe III–Nitridtransistoren völlig ohne Dotierung auskommen. Die Abwesenheit der Dotierung und eine Ausbildung eines 2DEG führen zu hohen Beweglichkeiten bei diesem Schichtaufbau, was einen frühen Übergang des linearen in den Sättigungsbereich bewirkt. Die Kanalladung kann in ihrer Dichte direkt über die Zusammensetzung der Barriere und des Puffers in bestimmten Grenzen eingestellt werden. Allgemein werden Kanalladungen von ca. 10^{13}cm^{-2} verwendet. Diese können bis auf das dreifache erhöht werden.

Das Transistordesign ist von großer Wichtigkeit. Um ein Verständnis der einzelnen Tran-

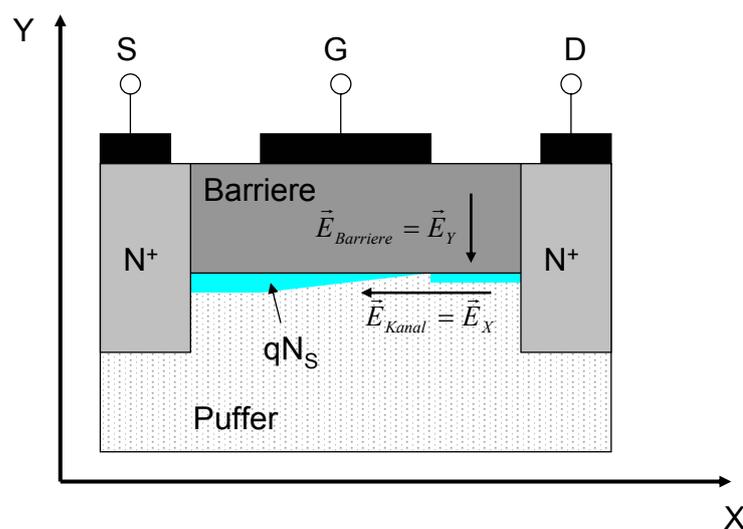


Abbildung 2.13: Schematische Darstellung der elektrischen Felder im Transistor mit Hilfe der Gradual Channel Näherung.

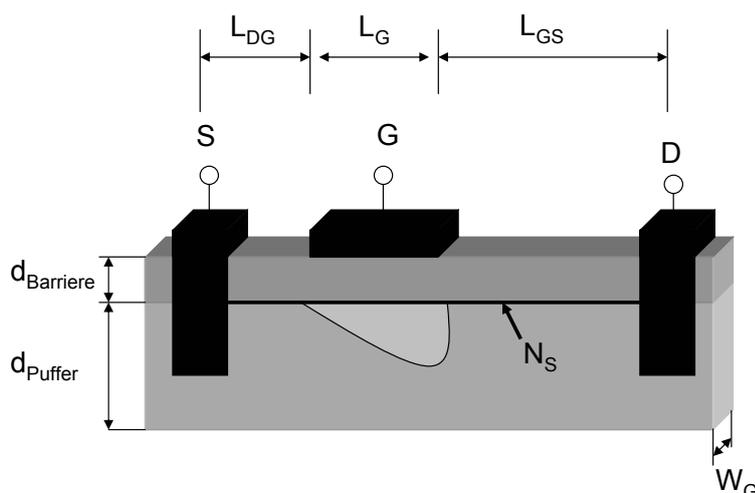


Abbildung 2.14: Schematische Darstellung einer vertikalen FET-Struktur.

sistorgrößen zu erlangen, wird nach [15] und [33] eine Formel für die Stromspannungskennlinie hergeleitet. Der Transistor, bestehend aus einer Heterostruktur, dem Schottky-Steuerkontakt und den sperrfreien Kontakten, ist neben den elektrischen Feldern in Abbildung 2.13 schematisch dargestellt. Die Abschnürspannung U_P („Pinch-Off“-Spannung), also die Spannung, bei der der Kanal völlig verarmt ist, kann anhand des Schichtaufbaus wie folgt ermittelt werden:

$$U_P = U_D - \frac{d_{\text{Barriere}} N_S \cdot q}{\epsilon_0 \epsilon_{\text{Barriere}}} \quad (2.3)$$

Dabei steht U_D für die Diffusionsspannung des Schottkykontaktes, $N_S q$ für die auf die Fläche normierte Kanalladung, $\epsilon_0 \epsilon_{\text{Barriere}}$ für die Dielektrische Konstante der Barriere. Den Stromfluß im Kanal I_D kann man durch eine auf die Gateweite angepasste Kanalladung und Ihrer Geschwindigkeit unter dem Gate ermitteln.

$$I_D = -q N_S(x) W_G v_{el}(x) \quad (2.4)$$

Dabei steht $v_{el}(x)$ für die Geschwindigkeit der Elektronen unter dem Gate und W_G für die Gateweite. Für die weiteren Berechnungen wird die „Gradual Channel Näherung“ verwendet. Diese setzt folgende Vereinfachungen voraus:

1. Alle elektrischen Felder der Barriere stehen senkrecht zur Oberfläche
 $E_{\text{Kanal}} \neq f(y)$
2. Das elektrische Feld im Kanal ist schwach vom Ort x abhängig
 $U(x) \simeq U(x + \delta x)$

Für den Anlaufbereich mit leitfähigem Kanal und kleinen Drainsourcespannungen sind die Annahmen gerechtfertigt. Diese Annahmen erlauben eine Aufintegration des elektrischen Stromes über die Gatelänge [32] und führen schließlich zu folgender Stromspannungsbeziehung für den Anlaufbereich:

$$I_D = \frac{W_G}{L_G} \mu \frac{\epsilon_0 \epsilon_{\text{Barriere}}}{d_{\text{Barriere}}} ((U_{GS} - U_P) U_{DS} - 1/2 U_{DS}^2) \quad (2.5)$$

U_{GS} entspricht der Gate–Sourcespannung und U_{DS} der Drain–Sourcespannung. Entsprechend Gleichung 2.5 sind eine geringe Barrierendicke d_{Barriere} , eine kleine Gatelänge L_G und eine große Gateweite W_G für große Ausgangsströme wichtig. Die hier auftretenden Limitierungen (sowohl physikalisch als auch elektrisch) werden im folgenden erläutert. Gleichung 2.5 gilt ausschließlich für den linearen Bereich. Den Sättigungsbereich erhält man, wenn idealer Weise die Steigung des Ausgangsstromes I_{DS} unabhängig von der Drain–Sourcespannung wird. Folglich muss die Steigung der Gleichung 2.5 differenziert nach der Drain–Sourcespannung sich zu Null ergeben, was zum Sättigungsstrom I_{DSS} des Transistors führt:

$$I_{DSS} = \frac{W_G}{L_G} \mu_0 \frac{\epsilon_0 \epsilon_R}{d_{\text{Barriere}}} (U_{GS} - U_P)^2 \quad (2.6)$$

Barriere

Die Dicke der Barrierenschicht d_{Barriere} ist für statische Anwendungen von entscheidender Bedeutung für das Transistorverhalten, da sie reziprok auf die Steilheit des Transistors eingeht ($g_m \sim 1/d_{\text{Barriere}}$). Folglich ist für eine große Transistorverstärkung eine dünne Barrierenschicht nötig. Dem widerspricht die Schottky–Barriere des Gate–Steuerkontaktes. Nimmt die Dicke der Barrierenschicht ab, so tunneln mehr Elektronen in den Kanal und der Schottkykontakt verliert seine sperrenden Eigenschaften. Dabei stellt sich ein Optimum der Barrierendicke zwischen 20 und 30 nm heraus.

Für dynamischen bzw. RF–Anwendungen spielt die Barrierendicke kaum eine Rolle, da hier der Quotient aus Steilheit und Gate–Sourcekapazität eine Rolle spielt. Dabei skaliert sich die Gate–Sourcekapazität entsprechend der Steilheit bei einer Veränderung der Barrierendicke.

Kanalladung

Der Stromfluss im Transistor ist unter Vernachlässigung von Einflüssen der Temperatur und Injektion direkt proportional zur Kanalladungsträgerdichte (N_S). Sie kann mit der verwendeten Heterostruktur in gewissen Grenzen über die Materialzusammensetzung der Barriere und des Puffers eingestellt werden. Dabei hat sich ein $N_S \approx 1,0 \times 10^{13} \text{ cm}^{-2}$ etabliert. Einen weiteren Vorteil der verwendeten Heterostruktur z.B. gegenüber eines MESFETs besteht durch die von der Polarisierung verursachten Potentialbarriere und der Leitungsbanddiskontinuität der Grenzfläche. Hierdurch wird eine zweidimensionale Ladungsträgerverteilung erzwungen. Dadurch bilden die Ladungsträger ein zweidimensionales Elektronengas (2DEG) aus. Eine Einschränkung der Aufenthaltswahrscheinlichkeit

der Ladungsträger in einer Dimension reduziert unelastische Stöße der Elektronen mit dem Gitter was sich bei vernachlässigbarer Grenzflächenrauigkeit positiv auf die Beweglichkeit μ auswirkt.

Einflüsse auf das Transistorverhalten durch eine Überschußgeschwindigkeit sind bis dato theoretisch wahrscheinlich, praktisch aber noch nicht in Transistoren nachgewiesen worden.

Puffer

Zur Führung der Ladungsträger wird ein idealerweise elektrisch isolierender Puffer verwendet. In praktischen Anwendungen stellt sich allerdings heraus, dass der Puffer immer aufgrund von Stickstofffehlstellen N^- –leitend ist. Durch seinen „isolierenden“ Charakter soll eigentlich ein ungewollter und nicht kontrollierbarer parasitärer Stromfluss vermieden werden. Eine detaillierte Betrachtung der Ströme ergibt, dass die Hintergrunddotierung bei gutem Wachstum einen Stromfluß generiert, welcher um mehrere Größenordnungen geringer als der eigentliche Strom im Kanal ist, weshalb er bei einer Ausgangskennlinie mit linearer Auftragung nicht sichtbar wird. In diesem Zusammenhang wird durch das Einbringen eines tiefen Akzeptors die Leitfähigkeit des Puffers zusätzlich reduziert.

Neben der Materialwahl und dem Schichtaufbau sind vor allem die Transistorgeometrien (Abbildung 2.14) für das Verhalten von Bauteilen entscheidend. Dabei sind folgende Größen nicht zu vernachlässigen:

Gate–Sourceabstand

Der Gate–Source Serienwiderstand reduziert die externe Steilheit des Transistors und hat damit verbunden, einen negativen Einfluss auf das hochfrequente Verhalten der Struktur. Um diesen zu minimieren wird der Abstand zwischen Gate und Source (L_{GS}) gering gehalten.

Um eine hohe Steilheit zu erlangen, kann ein Gaterecess durchgeführt werden. Dabei wird die Steuerelektrode durch partiellen Materialabtrag im Halbleiter eingelassen. Dieser Schritt minimiert den Einfluss des bei Gruppe III–Nitriden möglichen Oberflächenpotentials auf die Transistorstruktur.

Gatelänge

Die Gatelänge L_G hat direkten Einfluss auf die Feldverteilung unter dem Gate, welche sich mit reduziertem L_G erhöht. Gruppe III–Nitridtransistoren werden üblicher Weise im Sättigungsbereich bei hohen Spannungen betrieben. Dabei erreichen die Elektronen in der Hochfeldzone unter dem Gate ihre Sättigungsgeschwindigkeit v_{SAT} . Die Gatelänge kann für diesen Fall keinen Einfluss auf den maximalen Transistorstrom ausüben.

Neben dem Transistorstrom wirkt sich L_G auf das Hochfrequenzverhalten der Strukturen aus. Die Transitzeit, die ein Elektron zum Passieren der Hochfeldzone benötigt, verhält sich bei Erreichen von v_{SAT} proportional zur Gatelänge. Ihr Kehrwert wird als Transitfrequenz (f_T) bezeichnet und ist ein Maß für die maximale Frequenz der Stromverstärkung. Folglich wirkt sich ein kleines L_G positiv auf die Hochfrequenzeigenschaften eines Tran-

sistors aus, weshalb diese minimal gehalten werden.

Es muss allerdings darauf geachtet werden, dass das Aspektverhältnis zwischen Gatelänge und Tiefe der Verarmungszone nicht zu gering wird.

In den realisierten Transistoren werden die in Tabelle 2.2 beschriebenen Geometrien als Standard zugrunde gelegt.

L_{GD}	$2 \mu\text{m}$
L_{DS}	$3 \mu\text{m}$
L_{GD}/L_{GS}	$2/1$
L_G	$0,25 \mu\text{m}$

Tabelle 2.2: Die Standard Transistorgrößen werden hier wiedergegeben. Für einzelne Experimente können die Größen variieren. Ist dies der Fall, so wird gesondert im Text an entsprechender Stelle darauf aufmerksam gemacht.

2.4 AlGaN/GaN-FET

2.4.1 Physikalischer Aufbau

Im folgenden Kapitel werden AlGaN/GaN basierende Transistorstrukturen betrachtet und charakterisiert. Der einfachste AlGaN/GaN basierende Transistor besteht aus einer AlGaN-Barriere ($d_{\text{Barriere}} = 24 \text{ nm}$), gefolgt von einem GaN-Puffer ($3 \mu\text{m}$). Wie bereits erwähnt, werden in dieser Arbeit ausschließlich 111-orientierte Siliziumsubstrate verwendet. Mit

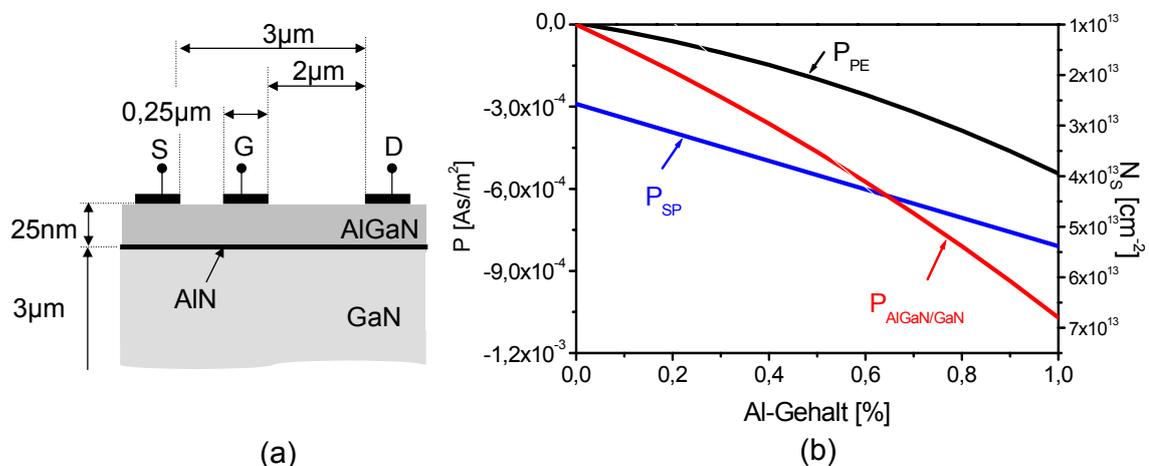


Abbildung 2.15: a) Schematischer Aufbau eines AlGaN/GaN basierenden Transistors. b) Polarisationsverlauf einer AlGaN/GaN-Schichtstruktur.

diesem Aufbau entspricht der Transistor dem in Kapitel 2.3 beschriebenen HEMT–Prinzip und ist in Abbildung 2.15 a) schematisch dargestellt. Entsprechend vorangegangenen Betrachtungen findet auch hier die Ladungsakkumulation an der AlGa_N/Ga_N–Grenzfläche statt, weshalb diese im folgenden genauer betrachtet wird.

Abbildung 2.15 b) zeigt die spontane und die Piezopolarisation einer AlGa_N–Schicht, gewachsen auf einen Ga_N–Puffer, für eine Aluminiumkonzentration von 0 bis 100 %. Zusätzlich ist der Polarisationsunterschied AlGa_N–Ga_N der Grenzfläche mit eingezeichnet und eine dem Polarisationsunterschied entsprechende Schichtkonzentrationen (Grenzflächenladung) ist in einer weiteren Skala angedeutet.

Es ist festzustellen, dass mit zunehmendem Aluminiumgehalt die Grenzflächenladung ($P_{\text{AlGa}_N/\text{Ga}_N}$) der dargestellten Heterostruktur zunimmt. In erster Linie wird dies durch die Verspannungen bzw. der daraus resultierenden Piezopolarisation verursacht. Für den Grenzfall der maximalen Kanalladung AlN/Ga_N ergibt sich eine theoretisch maximale Schichtkonzentration von $N_S = 6,8 \cdot 10^{13} \text{ cm}^{-2}$. Damit kann, wie in den vorangegangenen Beispielen, ohne Dotierung, alleine aufgrund einer variierenden Materialzusammensetzung der Barriere, die Kanalladung innerhalb gewisser Grenzen eingestellt werden. Praktische Realisierungen zeigen, dass durch die Verspannungen der Barriere die kritische Dicke für nicht relaxiertes Barrierenwachstum, als auch die Materialqualität der Barriere, mit zunehmendem Aluminiumgehalt abnehmen. Diese Limitierungen erlauben derzeit eine technische Realisierung der Aluminiumkonzentrationen in der Barriere von maximal 35 %, wobei sich Konzentrationen von 25 bis 30 % als Kompromiss zwischen Materialqualität und Kanalladung durchzusetzen scheinen. In dieser Arbeit wird ein Aluminiumgehalt von 28 % gewählt. Damit werden Schichtkonzentrationen von $N_S \approx 10^{13} \text{ cm}^{-2}$ erzielt.

2.4.2 Elektrische Kenndaten des AlGa_N/Ga_N–Schichtaufbaus

An Strukturen dieses Aufbaus sind Hallbeweglichkeiten bei Raumtemperatur von bis zu $\mu_n = 1600 \text{ cm}^2/\text{Vs}$ bestimmt worden [34]. Die Existenz eines 2DEG kann durch ortsaufgelöste Ladungsträgerprofile, ermittelt mit CV–Messungen, nachgewiesen werden (Abbildung 2.16a). Dabei ergibt eine Integration des tiefenabhängigen Ladungsträgerprofils über den Ort eine Schichtkonzentration von $N_S = 1,0 \cdot 10^{13} \text{ cm}^{-2}$, welche in Übereinstimmung mit Hall–Messungen ($N_S = 9,0 \cdot 10^{12} \text{ cm}^{-2}$) steht. Das Wachstum von AlGa_N/Ga_N–basierenden Transistoren dieses Aufbaus konnte reproduzierbar mit vergleichbarer Materialqualität durchgeführt werden, was sich auch in der Übereinstimmung theoretischer und gemessener Daten widerspiegelt. Für einen Aluminiumgehalt von 28 % ergibt sich bei diesem Schichtaufbau eine maximale Stromdichte von $I_{DS} = 1500 \text{ mA/mm}$ mit einer maximalen Steilheit von $g_m = 230 \text{ mS/mm}$ bei einer Gatespannung $U_{GS} = -5 \text{ V}$ (Abbildung 2.16b).

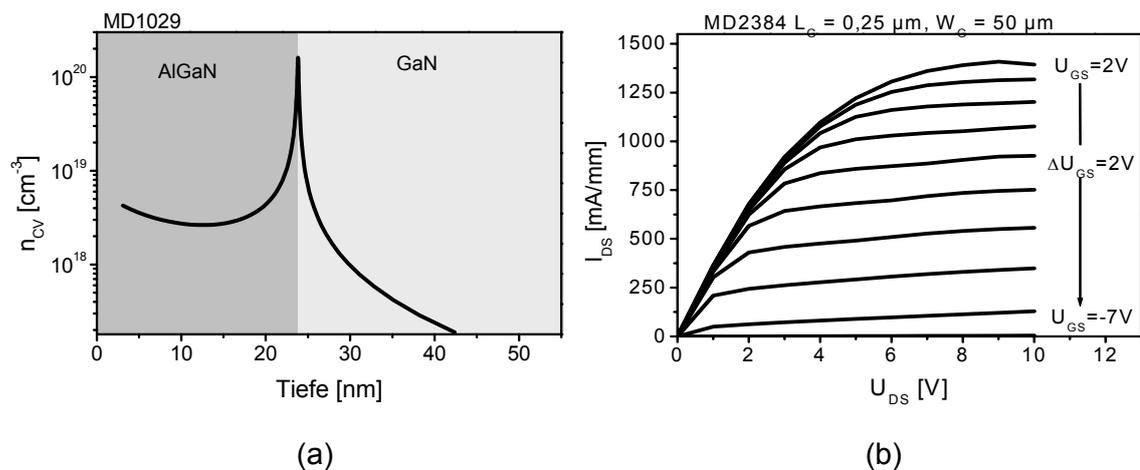


Abbildung 2.16: a) CV-Kennlinie einer $\text{Al}_{0.28}\text{Ga}_{0.72}\text{N}/\text{GaN}$ -Schichtstruktur b) Ausgangskennlinie eines $\text{Al}_{0.28}\text{Ga}_{0.72}\text{N}/\text{GaN}$ -FETs mit Si_3N_4 -Passivierung. $L_G = 0,25 \mu\text{m}$, $W_G = 0,25 \mu\text{m}$.

Für hohe Stromdichten wird eine Reduzierung des Ausgangsstromes mit steigender Drainspannung festgestellt. Hierfür gibt es zwei Theorien. Zum einen wird dieses Verhalten entsprechend Untersuchungen nach [35] Selbsterwärmungseffekten zugeschrieben. Desweiteren ist neben Eigenerwärmung aufgrund der hohen Stromdichte eine Ladungsträgerinjektion in Bahngebiete geringerer Ladungsträgerkonzentration möglich, was zu Abschirmungseffekten führen kann [36]

Der Kanal der Transistorstruktur bricht bei über 50 V Drain-Source-Spannung durch. Dieser Durchbruch wird in abgeschnürtem Zustand gemessen und als „2-terminal Durchbruch“ bezeichnet. Dabei unterscheidet sich die Durchbruchspannung maßgeblich von einer Durchbruchspannung im hochfrequenten nicht abgeschnürten Transistorbetrieb (z.B. Klasse A-Arbeitspunkt), was auch als „3-terminal Durchbruch“ bezeichnet wird. Bei Durchbruchversuchen konnte nicht festgestellt werden, ob die eigentliche Transistorstruktur oder der Puffer limitierend wirkt.

2.5 Auswirkungen der Oberflächenladungen auf den Transistorbetrieb

Gruppe III-Nitrid basierende Transistoren weisen meist einen instabilen Charakter auf. Als instabil wird eine Art Speichereffekt bezeichnet, bei welchem der vorangegangene Arbeitszustand Einfluss auf das anschließende Verhalten des Transistors ausübt. Verdeutlicht werden kann dies an einem Schaltexperiment, wobei der Ausgangsstromtransient im Schaltzeitpunkt aufgenommen wird.

Dazu wird ein Bauteil im abgeschnürten Zustand (Klasse C-Arbeitspunkt) für mehrere Minuten betrieben. Aufgrund der kleinen Ströme in diesem Arbeitspunkt ist die generierte Verlustleistung vernachlässigbar, weshalb dieser Arbeitspunkt auch als „Kalter Zustand“

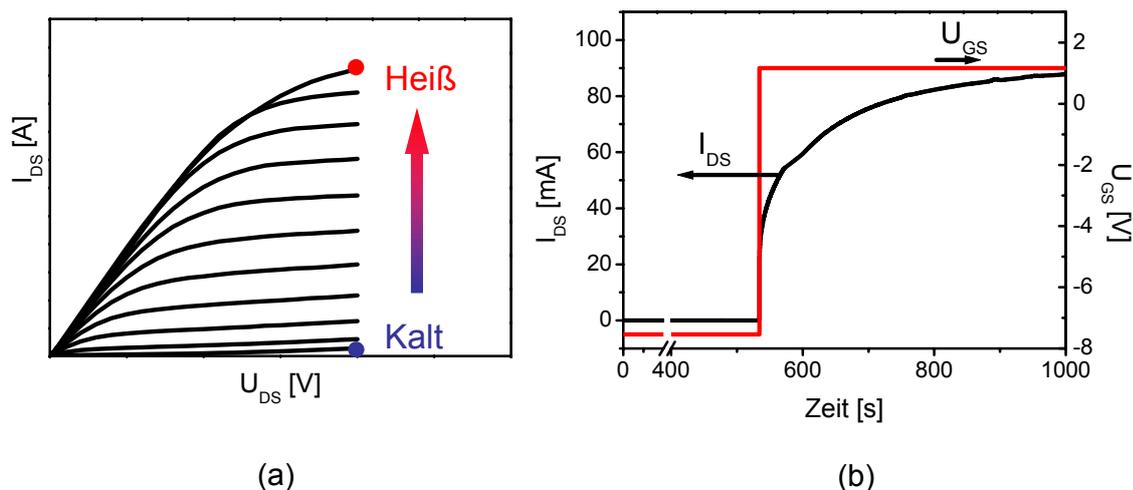


Abbildung 2.17: a) Symbolische Darstellung der Arbeitspunkte, wie sie in Schaltexperimenten zur Identifikation des dispersiven Verhaltens in GaN-basierenden Transistoren verwendet werden. b) Stromverlauf während dem Schaltexperiment von und kaltem in heißen Arbeitspunkt

bezeichnet wird. Anschließend wird auf einen Arbeitspunkt maximalen Ausgangsstromes („Offener Kanal“ oder „Heißer Arbeitspunkt“) durch Veränderung der Gatespannung, bei konstanter Drainspannung, geschaltet, was in Abbildung 2.17a dargestellt wird. Der Transistor wird dabei am Gate und Drain aus idealen Spannungsquellen versorgt.

Betrachtet man den Stromtransienten für typische Gruppe III–Nitridtransistoren bei diesem Schaltexperiment, so erkennt man ein „verzögertes Einschaltverhalten“, welches dem Spannungsverlauf eines RC–Tiefpasses ähnelt (Abbildung 2.17b).

Dieser Effekt wird als „Elektrischer Transient“ [56] bezeichnet. Seine Zeitkonstanten hängen von der Art der Prozessierung, der Materialqualität und vielem mehr ab und reichen von wenigen μs [57] bis zu mehreren Sekunden [56].

Ein weiteres Phänomen gleichen Ursprungs kann an diesen Transistoren beobachtet werden. Die Raumladungszone zwischen Gate und Drain in horizontaler Richtung hat gewöhnlich eine horizontale Ausdehnung von wenigen Nanometer. Zwischen Gate–Drainspannung und horizontaler Ausdehnung x_{Hor} besteht folgender Zusammenhang: $x_{Hor} \sim \sqrt{U_{GD}}$. Bei Gruppe III–Nitrid Transistoren konnte im Gegensatz dazu eine Ausdehnung der Raumladungszone von mehreren Mikrometern beobachtet werden. Ferner kann eine lineare Beziehung zwischen der Größe der Raumladungszone in horizontaler Richtung und der Gate–Drainspannung festgestellt werden [58].

Die Ursache für den Unterschied ist an der Oberfläche zu suchen und wird negativen Ladungsverschiebungen, initiiert durch die elektrischen Felder, zugeschrieben. Die Herkunft der Ladung ist dabei noch nicht eindeutig geklärt und wird im folgenden diskutiert. Besonders davon betroffen ist das Gebiet zwischen Drain und Gate, da hier im Transistorbetrieb die höchsten Feldstärken auftreten. Dabei werden diese maximal im abgeschnürten Zustand (Klasse C–Arbeitspunkt) bei hoher Drainspannung. Der instabile Charakter

kommt besonders nach längerem Betrieb in dieser Betriebsform vor und wird auch als „Virtueller Gate-Effekt“ bezeichnet.

Zum näheren Verständnis dieses Effektes wird die örtliche Ladungsverteilung mit Hilfe von Oberflächenpotentialmessungen („Kelvin Probe Microscopy“) bestimmt. Dazu wird, ähnlich zu Kapitel 2.1, das Oberflächenpotential an einer FET-Struktur nach einem Transistorbetrieb im Klasse C-Arbeitspunkt in der Gate-Drain Region bestimmt. Die Messung wird bewusst im Anschluss an den Transistorbetrieb, ohne angelegte externe Spannung und nicht während des Transistorbetriebes durchgeführt, da die Oberflächenpotentiale nur wenige Millivolt gross sind und so eine Superposition zwischen extern angelegter Spannung und dem internen Oberflächenpotential vermieden werden kann.

Mit dieser Messmethode konnte nach einem eben beschriebenen Schaltexperiment zwischen Gate und Drain ein ca. $0,7 \mu\text{m}$ großes negativ aufgeladenes Gebiet identifiziert werden. Diese negativ geladene Zone beginnt am drainseitigen Ende des Gates und erstreckt sich in die Gate-Drainregion. Vor dem Betrieb des Transistors im Klasse C-Arbeitspunkt war diese Gegend ungeladen [59]. Die Oberflächenladung konnte selbst nach einem Zeitintervall zwischen Stressexperiment und Messung von 28 Minuten identifiziert werden [60], was auf Lade- bzw. Entladezeitkonstanten bis in den Minutenbereich schließen lässt. Ferner konnte diese Veränderung des Oberflächenpotentials mit dem beschriebenen „Elektrischen Transienten“ korreliert werden [59].

Physikalisch kann dieser Effekt durch zwei mögliche Lösungsansätze erklärt werden:

1. Negative Oberflächenzustände (Oberflächen Donator)

Messungen weisen auf die Existenz eines 1,65 eV tiefen donatorähnlichen Oberflächenzustandes im AlGaN mit einer Dichte von $1-2 \cdot 10^{13} \text{ cm}^{-2}$ [61] hin. Diese Zustände versorgen den Kanal mit Ladung und können durch elektrische Felder aufgrund von Ladungsträgerinjektion des Gates, vornehmlich bei hohen Gate-Drainspannungen, geladen werden [62]. Verursacht durch die große Aktivierungsenergie der Zustände können diese ihre Ladung längere Zeit speichern, was einem negativen Potential an der Oberfläche entspricht. Durch die injizierte Ladung wird der Kanal verarmt. Aufgrund der hohen Dichte der Zustände besitzen sie das Potential, den Kanal völlig abzuschneiden. Ein Abbau dieser Ladung, und damit verbundene Zunahme des Ausgangsstromes, findet nach einer Reduzierung der Gate-Drainspannung statt und wird durch die Aktivierung der Ladungsträger bestimmt.

2. Positiver Oberflächenzustand

In einem ähnlichen Ansatz werden die Neutralitätsbedingungen berücksichtigt, welche auf die Polarisationsladungen angewendet werden. Hieraus ist neben der Existenz der Oberflächenzustände eine negative ortsfeste Ladung an der Oberfläche nötig. Dabei wird dieser Ladung ein akzeptorähnlicher Charakter (0,3 eV vom Va-

lenzband entfernt) zugeschrieben. Sie kompensiert den ortsfesten Oberflächendonator [63], was nicht die vorhandenen Oberflächenzustände, sondern vielmehr die 0,3 eV tiefe Löcheraktivierung für die Dispersionseffekte verantwortlich macht.

Unabhängig des physikalischen Hintergrundes wird diese negative Ladungsakkumulation als „Virtuelles Gate“ [67] bezeichnet. Die Einflüsse auf das Grosssignalverhalten bezeichnet man als „Current Collapse“ [67], „Power Slump“ [66] oder „Gate Lack Effect“ [68]. Mit verbesserter Materialqualität sind die Ladekonstanten des „Virtuellen Gates“ ständig größer geworden. Trotzdem ist dieses Phänomen aktuell noch immer präsent und limitierend [63].

Dispersive Effekte sind bereits von GaAs bekannt [69] [70] [71]. Während diese dort dynamisch Stromeinbußen von bis zu 20 % verursachen, kann der Strom bei GaN basierenden FETs bis zu über 80 % verringert werden. Abhilfe oder wenigstens eine Reduzierung der dispersiven Effekte kann durch eine Passivierung der Oberfläche erzielt werden [72], welche ebenfalls eine Reduzierung des Schichtwiderstandes und eine absolut höhere RF–Ausgangsleistung bewirkt.

2.5.1 Passivierte AlGaIn/GaN–Transistoren

Der dispersive Einfluss in Gruppe III–Nitride kann, wie bereits erwähnt, durch Passivierung minimiert werden [72]. Durch die Passivierung wird die Oberfläche elektrisch abgesättigt, wodurch eine Reduzierung des Oberflächenpotentials erzielt wird. Die durch diesen Effekt erhöhte Kanalladung in den Bahngebieten ermöglicht einen erhöhten maximalen Ausgangsstrom. Es gilt zu erwähnen, dass die erzielten positiven Veränderungen im Langzeit– bzw. Dauerbetrieb unterschiedlich stark ihre Wirkung verlieren bzw. der Transistor degradiert [75]. Selbst der dispersive Charakter kommt wieder zum Vorschein. In diesem Abschnitt werden die Veränderungen im Transistor, wie sie durch den Langzeitbetrieb auftreten, untersucht. Dabei wird sowohl der Halbleiter, die Passivierung als auch die Grenzfläche zwischen Halbleiter und Passivierung betrachtet. Die Meßergebnisse werden anschließend mit dem Transistorverhalten korreliert.

Da die Aufladung der Gate–Drainregion (Abbildung 2.18) als Ursprung für die dispersiven Effekte verantwortlich gemacht wird, soll dieses Gebiet genauer untersucht werden. Die klassische Methode der Oberflächenpotentialmessung ist hier nicht aussagekräftig, da die Potentiale auf der Passivierung, verursacht durch die größere räumliche Distanz zum Kanal, so gering sind, dass sie nicht detektiert werden können. Abhilfe kann eine direkte Bestimmung des Potentials an der zu untersuchenden Stelle bringen. Dazu ist

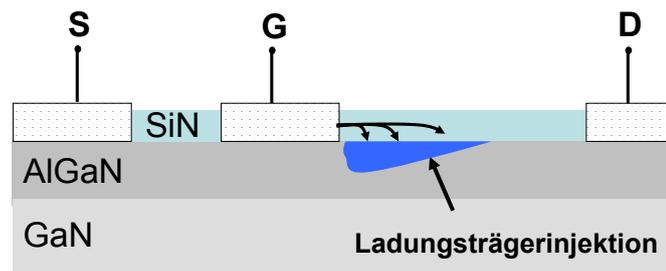


Abbildung 2.18: Schematische Darstellung der Ladungsträgerinjektion, wie sie in Gruppe III-Nitriden unter Streißbedingungen zwischen Gate und Drain auftreten.

eine Doppel-Gate-Struktur mit zwei Gates (G_1 und G_2 , Abbildung 2.19) realisiert worden. Mit dieser Struktur besteht die Möglichkeit, den Transistor mit G_1 zu betreiben und gleichzeitig mit G_2 das Potential in der Gate-Drainegend direkt zu bestimmen. Durch

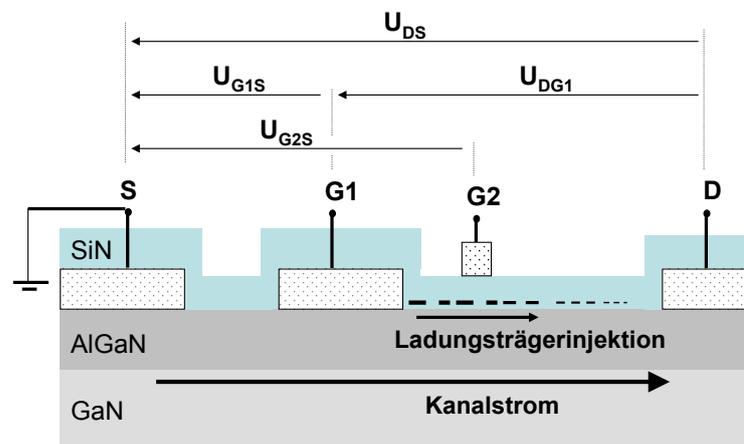


Abbildung 2.19: Schematischer Aufbau der Doppel-Gate Struktur.

den direkten Abgriff sind kleinere Potentiale detektierbar und man erhält absolute anstatt relativer Potentialwerte.

Für die Herstellung wird eine standard EMCORE $\text{Al}_{0,28}\text{Ga}_{0,72}\text{N}/\text{GaN}$ -HEMT-Struktur zu einem Transistor inklusive Steuergate, bestehend aus einem Schottkykontakt (G_1) der Gatelänge $0,25 \mu\text{m}$, und einer 120 nm dicken Si_3N_4 -Passivierung prozessiert. Um allgemein gültige Aussagen treffen zu können, ist für diese Untersuchung ein am Markt erhältlicher AlGaIn/GaN -Wafer verwendet worden. Dabei ist die AlGaIn -Barriere 20 nm dick und der Source-Drainabstand bzw. Source-Gateabstand betragen $3 \mu\text{m}$ und $1 \mu\text{m}$. Nach Aufbringen der Si_3N_4 -Passivierung hat sich der Strom um 11% erhöht, was auf eine Absättigung der Oberflächenzustände schließen lässt, wodurch das Oberflächenpotential reduziert wird. An diesen Transistoren sind Leistungsdichten von $2,8 \text{ W/mm}$ bei einer Frequenz von $f = 2 \text{ GHz}$ gemessen worden.

Da sich das, aufgrund von Ladungsträgerinjektion generierte virtuelle Gate, ca. 300 nm

vom Gate entfernt befinden sollte [59], wird für die Untersuchung ein weiteres Gate G_2 an eben dieser Stelle realisiert. G_2 wird zwischen Drain und G_1 ca. 300 nm vom Gate G_1 entfernt auf der Passivierung realisiert und besitzt eine Gatelänge von $0,15 \mu\text{m}$. Da G_2 auf der Passivierung sitzt entspricht diese Anordnung einer Metall-Isolator-Halbleiterstruktur („MIS-Gate“). Separate Zuleitungen zu G_2 erlauben im Gegensatz zu anderen Charakterisierungsmethoden eine direkte Bestimmung des Oberflächenpotentials.

Ziel ist die Bestimmung des vertikalen Ladungsträgerschwerpunktes der injizierten Ladungen. Dazu wird, um die Ladung zu injizieren, G_1 als Steuergate verwendet.

Im Experiment wird der Transistor für lange Zeit in einem Klasse C-Arbeitspunkt bei hoher Drainspannung betrieben. Anschließend wird ohne Anlegen einer externen Spannung die verbleibende Spannung an G_2 (U_{G2}) ermittelt. Außerdem wird eine MISFET-Übertragungskennlinie aufgenommen. Beide Untersuchungen werden mit ihren äquivalenten Messungen vor dem Langzeitversuch verglichen.

Ziel der Messungen ist es, anhand von Veränderungen der Übertragungskennlinien bzw. der Leerlaufspannung U_{G2} eine Aussage über den Ladungsträgerschwerpunkt der injizierten Ladung zu erhalten.

Messung / Experiment:

Vor dem Experiment wird die Struktur zuerst auf ihre Funktionalität überprüft, weshalb diese sowohl als klassischer Transistor mit Steuerelektrode G_1 als auch als MISFET unter Verwendung von G_2 betrieben wird. In Abbildung 2.20 sind die Ausgangskennlinien

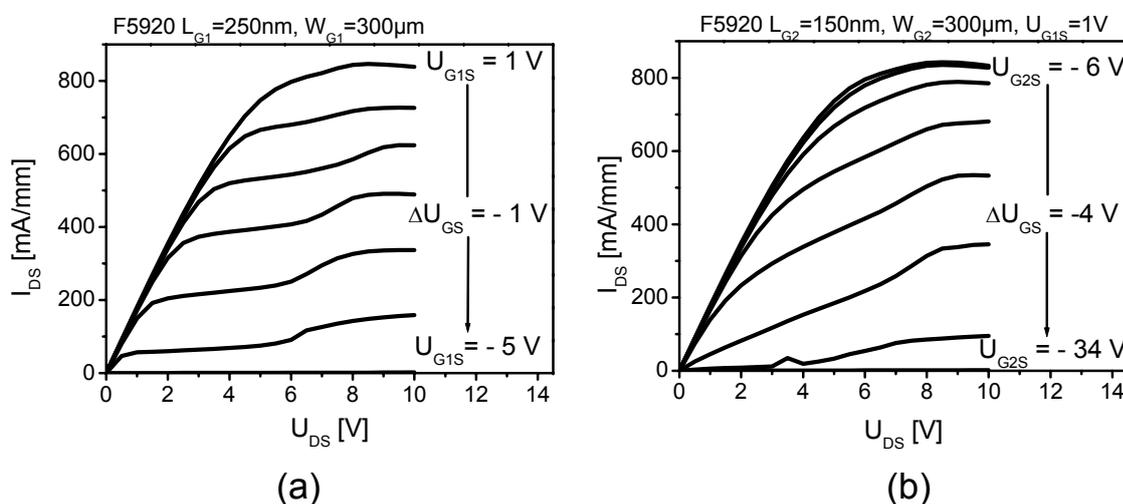


Abbildung 2.20: Vergleich der Ausgangskennlinien der Doppel-Gate-Struktur. (a) HEMT-Ausgangskennlinienfeld mit Schottkygate G_1 , (b) MISFET-Ausgangskennlinienfeld mit MIS-Gate G_2 .

Substrat von Emcor.

der HEMT-Struktur, betrieben mit dem Schottkygate (a) bzw. MIS-Gate (b) dargestellt. Da die Schottkydiode aufgrund ihrer Barrierenhöhe den Kanal teilweise verarmt und in Serie mit dem MIS-Gate geschaltet ist, wirkt diese als Strombegrenzer für die MISFET-Anordnung. Für maximale Ausgangsströme der MISFET-Struktur muss die Schottkydi-

ode aufgesteuert werden, weshalb bei b) eine positive Spannung von +1 V an G_1 angelegt wurde. Wie ersichtlich können beide Transistoren getrennt voneinander betrieben werden. Im Falle der HEMT-Struktur ist der Transistor mit einer Gatespannung von $U_{G1S} = -5$ V abgeschnürt. Diese erhöht sich auf $U_{G2S} = -34$ V für die MIS-Struktur und korreliert dabei mit der Si_3N_4 -Dicke der Passivierung, was durch folgende Abschätzung gezeigt wird.

Für die theoretischen Betrachtungen sind Hallmessungen an dieser Probe durchgeführt worden, welche eine Schichtkonzentration von $N_S = 1 \cdot 10^{13} \text{ cm}^{-2}$ bei einer Beweglichkeit von $\mu = 1200 \text{ cm}^2/\text{Vs}$ ergab. Diese Daten sprechen für die Ausbildung der Kanalladung in Form eines örtlich begrenzten 2DEG. Diese deltaförmige Verteilung der Ladung ähnelt der Ladung auf einem Plattenkondensator, weshalb dieser als Ersatzschaltbild verwendet wird. Für die Schottkydiode kann so unter Verwendung der Materialkonstanten der am Aufbau beteiligten Schichten und des Ersatzschaltbildes entsprechend Abbildung 2.21 eine Steuerspannung U_{G1S} bestimmt werden, welche zur völligen Kompensation der Kanalladung nötig ist:

$$U_{G1S} = \frac{Q_S}{C_{\text{AlGaN}}} - U_B = \frac{N_S \cdot q \cdot d_{\text{AlGaN}}}{\epsilon_0 \epsilon_{\text{AlGaN}}} - U_B \quad (2.7)$$

Q_S entspricht der Kanalladung und U_B der Diffusionsspannung des Schottkykontaktes. Mit einer Barrierenschichtdicke $d_{\text{AlGaN}} = 20$ nm und einer Dielektrizitätskonstante von $\epsilon_{\text{AlGaN}} = 9,1$ wird eine nötige Steuerspannung von 5,0 V ermittelt, entsprechend den gemessenen Daten.

Ein äquivalenter Plattenkondensatoransatz kann für die MIS-Struktur verwendet werden. Die zu kompensierende Schichtkonzentration bleibt identisch. Verursacht durch die Passivierung muss eine neue Gesamtkapazität, bestehend aus der AlGaN-Barrierenschicht und der Si_3N_4 -Passivierungsschicht durch zwei in Serie geschaltete Kapazitäten entsprechend Abbildung 2.21 ermittelt werden. Für die Abschnürspannung ergibt sich somit:

$$U_{G2S} = Q_S / C_{\text{Ges}} = \frac{N_S \cdot q}{\frac{1}{\frac{1}{C_{\text{SiN}}} + \frac{1}{C_{\text{AlGaN}}}}} \quad (2.8)$$

Mit Hilfe der relativen Dielektrizitätskonstante von Si_3N_4 $\epsilon_{\text{SiN}} = 7,5$ und der Schichtdicke $d_{\text{SiN}} = 120$ nm kann eine Gesamtkapazität von $C_{\text{ges}}/A = 5,68 \cdot 10^{-4} \text{ F/m}^2$ ermittelt werden. Für eine Verarmung der Kanalladung N_S wird somit eine Steuerspannung von $U_{G2S} = 32$ V benötigt, was in Übereinstimmung mit den Messwerten ist. Hierbei wird kein vorhandenes Oberflächenpotential vorausgesetzt. Da G_2 auf der Passivierung sitzt und eine höhere Abschnürspannung benötigt wird, reduziert sich auch die Steilheit im MIS-Betrieb entsprechend.

Nachdem nachgewiesen wurde, dass beide Transistoren entkoppelt voneinander funktionsfähig sind, wird im Experiment ohne Vorbehandlung der Struktur U_{G2S} gemessen und anschließend eine MISFET-Übertragungskennlinie an G_2 aufgenommen (G_1 ist nicht angeschlossen).

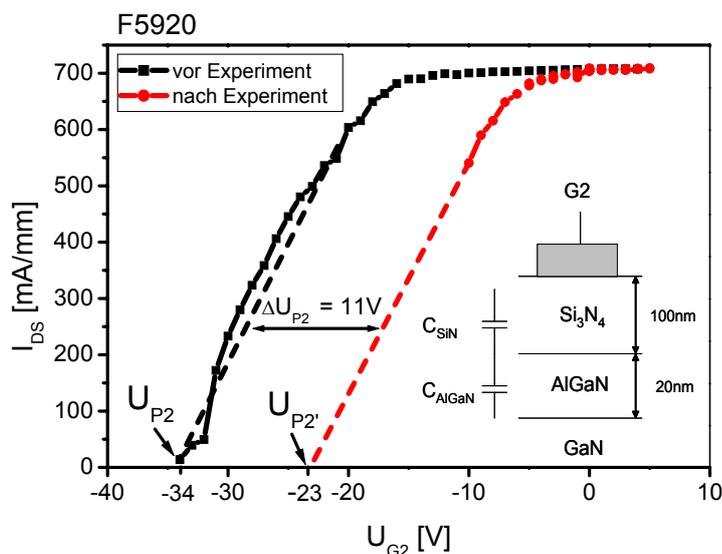


Abbildung 2.21: Vergleich einer Transferkennlinie vor und nach dem Langzeitexperiment

Für den nun folgenden Dauerbetrieb wird G_2 nicht kontaktiert und mit G_1 die HEMT-Struktur in einem Klasse C–Arbeitspunkt ($U_{DS} = 20 \text{ V}$, $U_{G1S} = -10 \text{ V}$) für eine Stunde betrieben. Danach wird U_{G2S} und die MISFET–Übertragungskennlinie unter identischen Randbedingungen erneut aufgenommen.

Abbildung 2.21 zeigt beide Übertragungskennlinien in einem Schaubild. Durch lineare Interpolation lässt sich aus der Kennlinie nach dem Dauerbetrieb eine MISFET–Abschnürspannung von $U_{P2'} = -23 \text{ V}$ extrapolieren. Diese hat sich um $\Delta U_{P2} = 11 \text{ V}$ durch die Stressbedingungen im Vergleich zur ungestressten Messung (U_{P2}) reduziert. Eine direkte Messung der Abschnürspannung führt zu einer irreversible Zerstörung des Bauteils.

U_{G2S} wurde vor dem Experiment zu $U_{G2S} = 0 \text{ V}$ bestimmt, und hat sich auf $U_{G2S'} = +0,649 \text{ V}$ nach dem Experiment erhöht.

Eine Reduzierung der Pinch–Off–Spannung U_{P2} bzw. Verschiebung der Übertragungskennlinie der MISFET–Struktur um $\Delta U_P = 11 \text{ V}$ nach dem Experiment mit der HEMT–Struktur deutet auf einen teilweise verarmten Kanal. Erklärt werden kann dies durch Ladungsträgerspeicherung, lateral injiziert in das Dielektrikum bzw. die Grenzfläche durch die hohen elektrischen Felder im Experiment. Diese Ladung erzeugt intern ein elektrisches Feld, welches den Kanal teilweise verarmt. Die Möglichkeit, diese Ladung zur Steuerung der MISFET–Struktur zu verwenden, wird durch die räumliche Positionierung von G_2 über dem eigentlich aufgeladenen Gebiet ermöglicht. Es findet eine Superposition der elektrischen Felder, generiert durch die Gatespannung U_{G2S} , und der gespeicherten Ladung, statt. Es ist deshalb eine geringere externe Spannung nötig, um den Kanal völlig abzuschneiden.

Ohne die räumliche Ladungsträgerverteilung zu kennen, kann ihr Einfluss auf die Kanalladung mit Hilfe des bereits verwendeten Plattenkondensatormodells bestimmt werden. Nach Gleichung 2.8 kann der Betrag der Kanalladung ermittelt werden, welcher durch die injizierte Ladung verarmt wurde. Hierzu muss als Spannung U_{G2S} die Verschiebung der Abschnürspannung ΔU_P eingesetzt werden. Die ermittelte Schichtkonzentration entspricht dabei dem Betrag, um welchen die Kanalladung durch gespeicherte Ladung reduziert worden ist, was in unserem Fall einem $\Delta N_S = 4,2 \cdot 10^{12} \text{ cm}^{-2}$ entspricht.

Aufgrund der Verschiebung der Abschnürspannung kann die Auswirkung der gespeicherten Ladung auf die Kanalladung ermittelt werden, nicht jedoch ihre Position oder Verteilung. Da aber vor allem der Ladungsträgerschwerpunkt der gespeicherten Ladung von besonderem Interesse ist, da er nähere Informationen über den Ort der Injektion während des Experiments gibt, sind weitere Untersuchungen nötig. Um ihn lokalisieren zu können

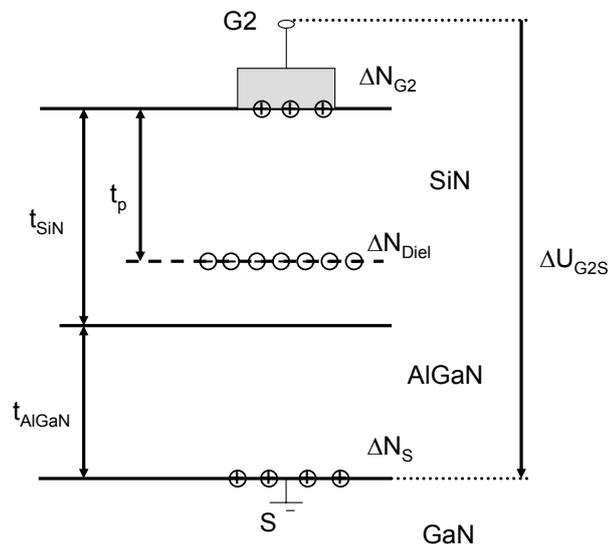


Abbildung 2.22: Ersatzschaltbild der Doppel-Gatestruktur.

wird U_{G2S} benötigt. Hierzu sind einige Vorüberlegungen nötig:

Die Transistorstruktur muss nach außen hin jederzeit neutral sein. Folglich muss zu der injizierten Ladung eine Gegenladung vorhanden sein, welche nicht mit der Polarisation in Verbindung steht. Es ist unklar, welcher Natur die Ladung entspricht, da sie durch den Ort der Ladung entscheidend beeinflusst wird. In unserem Fall ist die Gegenladung auf die Gateelektrode G_2 (ΔN_{G2}) bzw. den Kanal (ΔN_S) verteilt. Unter der Annahme, dass die injizierte Ladung ΔN_{Diel} in ihrer Verteilung einer Flächenladung entspricht, kann ein vereinfachtes Ersatzschaltbild verwendet werden. Verdeutlicht wird dies in Abbildung 2.22, bei welchem zwei Plattenkondensatoren in Serie geschaltet sind. Dargestellt ist die durch elektrische Felder injizierte Ladung ΔN_{diel} und ihre aus Ladungsneutralitätsbedingungen nötige induzierte Gegenladungen. Diese verteilen sich auf G_2 bzw. im Kanal umgekehrt proportional zu ihren Kapazitätswerten bzw. proportional zu den Abständen der

Platten. Hieraus ergibt sich folgende Beziehung:

$$\frac{C_{\Delta N_{G_2}, \Delta N_{Diel}}}{C_{\Delta N_{Diel}, \Delta N_S}} = \frac{\Delta N_{G_2}}{\Delta N_S} = \frac{t_{peff}}{t_{SiN_{eff}} + t_{AlGaNeff} - t_{peff}} \quad (2.9)$$

Aufgrund der Vielzahl verwendeter Abkürzungen wird für ihre Erläuterung auf die bildliche Darstellung in Abbildung 2.22 verwiesen. Die im Kanal induzierte Ladung kann über den Sourcekontakt (S) und die Gegenladung an der Oberfläche über G_2 kontaktiert werden. Für Gleichung 2.9 werden die absoluten Weglängen auf effektive Längen durch die Division mit der Dielektrischen Konstante normiert, symbolisch dargestellt für $t_{AlGaNeff}$.

$$t_{AlGaNeff} = \frac{t_{AlGaNeff}}{\epsilon_{AlGaNeff}} \quad (2.10)$$

Die Verwendung effektiver Längen erlaubt eine materialunabhängige Betrachtung des Schichtaufbaus und ermöglicht so die Betrachtung beliebig komplexer Strukturen. Es gilt zu beachten, dass die ermittelten Ergebnisse stets auf reale Größen zurückgerechnet werden müssen, was sich durchaus komplex gestalten kann.

Sitzt die injizierte Ladung N_{Diel} dichter an der Steuerelektrode G_2 als am Kanal ($t_{peff} < (t_{SiN_{eff}} + t_{AlGaNeff})/2$), so wird hierauf ein größerer Anteil der Gegenladung im Vergleich zum Kanal induziert ($\Delta N_{G_2} > \Delta N_S$). Andererseits liegt der größte Anteil im Kanal ($\Delta N_{G_2} < \Delta N_S$), sollte der Abstand ΔN_{Diel} –Kanal kleiner sein als der zur Steuerelektrode ($t_{peff} > (t_{SiN_{eff}} + t_{AlGaNeff})/2$). Für den Fall dass sich die injizierte Ladung in der Mitte zwischen Kanal und G_2 befindet ($t_{peff} = (t_{SiN_{eff}} + t_{AlGaNeff})/2$) ist die Gegenladung zu zwei gleichen Teilen auf Steuerelektrode und Kanal aufgeteilt ($\Delta N_{G_2} = \Delta N_S$).

Besteht eine Ladungsdifferenz zwischen G_2 und dem Kanal ($\Delta N_{G_2} \neq \Delta N_S$), so bildet sich ein Potentialunterschied zwischen beiden Platten aus. Die dadurch entstehende Spannung (ΔU_{G_2S}) ist abhängig vom Betrag und Vorzeichen der Ladungsunterschiede. Ist die Ladung auf G_2 größer als im Kanal, so bildet sich ein negatives U_{G_2S} aus. Entsprechend ändert sich das Vorzeichen, wenn die Ladung im Kanal größer als die auf G_2 ist. Folglich ist die Spannung zwischen G_2 und dem Kanal eine indirekte Beschreibung des Ladungsträgerschwerpunktes im Schichtaufbau. Über G_2 und den Sourcekontakt kann die induzierte Spannung extern abgegriffen werden.

Mit dem eingeführten Ersatzschaltbild ergibt sich für die Spannungsdifferenz U_{G_2S} unter Verwendung der effektiven Kapazität zwischen G_2 und dem Kanal (C_{eff}) folgender Zusammenhang:

$$C_{eff} = \frac{q \cdot (\Delta N_2 - \Delta N_S)}{\Delta U_{G_2S}} = \frac{A \cdot \epsilon_0}{t_{SiN_{eff}} + t_{AlGaNeff}} \quad (2.11)$$

wobei A die Fläche und q die Elementarladung verkörpert.

Mit Hilfe von Gleichung (2.9), (2.10), und (2.11) kann die Messspannung U_{G_2S} wie folgt separiert werden:

$$\Delta U_{G_2S} = \frac{q \cdot (\Delta N_S - \Delta N_{MOS}) \cdot \left(\frac{t_{SiN}}{\epsilon_{SiN}} + \frac{t_{AlGaNeff}}{\epsilon_{AlGaNeff}} \right)}{\epsilon_0} \quad (2.12)$$

Zusammen mit der induzierten Kanalladung ΔN_S , wie sie in Gleichung 2.7 bestimmt wurde, kann sowohl die Dichte als auch der vertikale Ort des injizierten Ladungsträgerschwerpunktes bestimmt werden. Die Ladungsdichte ergibt sich zu

$$\Delta N_{Diel} = \Delta N_S \cdot \left[1 + \frac{\frac{t_{SiN} - t_p}{\epsilon_{SiN}} + \frac{t_{AlGaN}}{\epsilon_{AlGaN}}}{\frac{t_p}{\epsilon_{SiN}}} \right] \quad (2.13)$$

mit einer vertikalen Position von

$$t_p = \left(\frac{t_{SiN}}{\epsilon_{SiN}} + \frac{t_{AlGaN}}{\epsilon_{AlGaN}} \right) \cdot \frac{q \cdot \Delta N_S \cdot \left(\frac{t_{SiN}}{\epsilon_{SiN}} + \frac{t_{AlGaN}}{\epsilon_{AlGaN}} \right)}{2 \cdot q \cdot \Delta N_S \cdot \left(\frac{t_{SiN}}{\epsilon_{SiN}} + \frac{t_{AlGaN}}{\epsilon_{AlGaN}} \right) - \Delta V \epsilon_0} \cdot \epsilon_{SiN} \quad (2.14)$$

Mit dem bereits bestimmten ΔN_S , der Verschiebung ΔU_P der Abschürspannung und einer verbleibenden Restspannung von $U_{G2S'} = +0,649$ V kann eine Eindringtiefe $t_p = 84$ nm mit einer Dichte von $\Delta N_{Diel} = 5 \cdot 10^{12} \text{ cm}^{-2}$ errechnet werden. Hierbei liegt der Ladungsträgerschwerpunkt 16 nm von der eigentlichen AlGaN/Si₃N₄-Grenzfläche entfernt in der Passivierungsschicht.

Diese Messungen zeigen, dass der Ladungsträgerschwerpunkt der injizierten Ladung nicht an der Grenzfläche zwischen Halbleiter und Passivierung liegt, sondern vielmehr innerhalb des Dielektrikums. Hieraus liegt nahe, dass die Degradierung der Transistoren mit der Zeit nicht einer Aktivierung der abgesättigten Grenzflächenzuständen zuzuordnen ist. Vielmehr ist dies eine Indiz dafür, dass die Reduzierung der Oberflächenzustände an der Grenzfläche Si₃N₄/AlGaN durch das Abscheiden der Passivierung weiterhin Bestand hat und die Halbleiteroberfläche nach wie vor entpinnt ist. Dies ist auch der Grund, weshalb Impedanzmessungen zu kleinen Grenzflächenverlusten führen, wie von anderen Autoren berichtet wird [72].

Ferner deutet die Position des Ladungsträgerschwerpunktes in der Passivierung auf eine Injektion der Ladung vom Gate G₁ in das Dielektrikum. Für den Fall einer Tunnelinjektion aus dem Kanal durch die komplette verarmte Deckschicht in das Dielektrikum [74] muss die MOS-Barriere überwunden werden und eine derart tiefe Eindringtiefe wird nicht erwartet.

Wie bereits in Kapitel 2.1 muss in polaren AlGaIn/GaN-HEMT Strukturen eine Gegenladung zur induzierten Kanalladung vorhanden sein. In unpassivierten Strukturen sitzt diese an der Oberfläche. Vorstellbar ist, dass sich diese durch die Passivierung von der Oberfläche in das Dielektrikum verlagert hat, wo sie an Defekten oder Versetzungen generiert wird. Durch die Stressbedingungen wird die Polarisationsladung teilweise kompensiert. Für diesen Mechanismus bedeutet es, dass das Dielektrikum bereits positiv geladen war und nun teilweise entladen wird, was allerdings in der Messung als negative Ladung detektiert wird.

Zusammenfassend kann festgehalten werden, dass vermeintlich stabile Bauteile unter extremen Dauerbelastungen stark degradieren und die Vorteile der Passivierung reduziert werden. Ob Ladungsträgerinjektion aus dem Gate in das Dielektrikum bzw. Kompensation von Polarisationsladungen im Dielektrikum der eigentliche physikalische Effekt ist, konnte nicht geklärt werden. Fest steht aber, dass sich die Änderungen in der Passivierung vollziehen und nicht die Grenzfläche $\text{Si}_3\text{N}_4/\text{AlGaN}$ die Ursache ist, was auf eine Injektion/Kompensation über das Gatemetall schließen lässt. Diese Messungen verdeutlichen nochmals die Wichtigkeit der Existenz einer Passivierung mit größerer Durchbruchfeldstärke als die des eigentlichen Halbleiters (z.B. Al_2O_3). Zusätzlich müssen die Aktivierungsenergien der gesättigten Oberflächenzustände so gross sein, dass diese durch das elektrische Feld nicht aufgebrochen bzw. aktiviert werden, damit bei Dauerbelastungen keine Degradation vonstatten geht.

Kapitel 3

Technologie

Dieses Kapitel beschäftigt sich mit der Herstellung von den bereits vorgestellten AlGaIn/GaN-Transistoren als auch der später vorgestellten InAlN/GaN basierenden Transistoren. Dabei wird sowohl die Materialherstellung (Wachstum) als auch der eigentliche Fertigungsprozeß (Prozessieren) aufgezeigt. Im Gegensatz zum Standardwachstum der Gruppe III-Nitride wird in dieser Arbeit Silizium als Substrat verwendet, was wegen der stark abweichenden Gitterkonstante und einer abweichenden Gitterstruktur gegenüber Standardsubstraten neue Lösungsansätze fordert.

Ziel dieser Dissertation ist die Herstellung hochfrequenter Leistungstransistoren. Dabei gliedert sich die Herstellung in zwei wesentliche Prozesse, dem Wachstum und der anschließenden Prozessierung.

In dieser Arbeit wurde das Thema der Prozessierung und Charakterisierung aufgegriffen und verarbeitet. Das für diese Arbeit nötige Material stammt ausschließlich aus der Universität Magdeburg und wurde von Herrn. Priv. Doz. Dr. Armin Dadgar gewachsen. Diese Materialien bilden die Grundvoraussetzungen für den Erfolg dieser Arbeit.

3.1 Wachstum

Aufgrund des enormen Potentials von GaN, vor allem getrieben durch die blaue Leuchtdiode, hat eine rasante Weiterentwicklung sowohl des Materials als auch des Herstellungsprozesses (Epitaxie) stattgefunden. Bis heute werden die Gruppe III-Nitride sowohl mit Molekularstrahlepitaxie (MBE) als auch mit metallorganischer Gasphasenepitaxie (MOCVD) hergestellt, wobei sich letztere für das Wachstum von Transistorstrukturen durchzusetzen scheint. Standardsubstrate sind Saphier (Al_2O_3) bzw. Siliziumcarbit (SiC). In dieser Arbeit wird Silizium als Substrat verwendet. Silizium weist klare Vorteile in

der Verfügbarkeit als auch in seiner Wafergröße gegenüber den Standardsubstraten auf. Ferner ist seine thermische Leitfähigkeit ($\kappa_{\text{Si}} = 1,5 \text{ W/cmK}$) in der gleichen Größenordnung wie die des SiC ($\kappa_{\text{SiC}} = 3,7 \text{ W/cmK}$) und bedeutend besser als die des Saphier ($\kappa_{\text{Al}_2\text{O}_3} = 0,06 \text{ W/cmK}$).

Beim Wachstum gibt das Substrat die Kristallstruktur vor. Um die hexagonale Wurzitstruktur des Gruppe III–Nitrids realisieren zu können, wird die Verwendung von 111–orientiertem Silizium nötig, welches mit seiner Diamantstruktur in dieser Ebene ein Hexagon aufweist.

Für das Wachstum von III–Nitrid basierenden Heterostrukturen wird mit einer Anwachs-schicht (Nukleationsschicht), welche auf dem Substrat abgeschieden wird, begonnen. Anschließend folgt der elektrisch semiisolierende Puffer und die Barrierenschicht. Zusätzlich wird zwischen Puffer und Barriere eine Glättungsschicht eingebracht.

Das in dieser Arbeit verwendete Material wurde durch die Universität Magdeburg zur Verfügung gestellt (Priv. Doz. Dr. A. Dadgar). Es wurde keinerlei eigene Epitaxie auf dem Gebiet der Gruppe III–Nitride in dieser Arbeit verwendet.

3.1.1 Nukleationsschicht

Neben einer teilweisen Anpassung der unterschiedlichen Gitterkonstanten zwischen Puffer (in unserem Falle GaN, $a_{\text{GaN}} = 3,189 \text{ \AA}$) und dem Substrat (Silizium, $a_{\text{Si}} = 5,430 \text{ \AA}$) erfüllt die Nukleationsschicht noch folgende weitere Aufgaben.

Beim Wachstum von GaN auf Silizium werden Wachstumstemperaturen $>1000 \text{ }^\circ\text{C}$ nötig. Bei diesen Temperaturen kann Silizium abdampfen, welches während des Wachstums redeponiert wird. Silizium wirkt in Gruppe III–Nitriden als Donator und führt zu unerwünschtem leitfähigem Material. Ferner kann Silizium mit Gallium bereits bei $29,8 \text{ }^\circ\text{C}$ ein flüssiges Eutektikum bilden [87], was zu einer inhomogenen Oberfläche führt. Desweiteren wird eine Ausdiffusion von Silizium aus dem Substrat durch die wachsende Schicht für eine schlechte Morphologie des Materials als auch der Grenzfläche verantwortlich gemacht [88] [89], da Silizium in GaN die Qualität verschlechtert [90] und zu großer Oberflächenrauigkeit führen kann [91]. Diese Effekte werden „Meltback Etching“ genannt.

Um ihnen entgegenzuwirken wird eine ca. 25 nm dicke niedertemperatur–AlN–Schicht ($600 \text{ }^\circ\text{C}$) als Anwachs-schicht verwendet. Um eine eventuelle Nitridisierung der Siliziumoberfläche [92] zu vermeiden wird vorab eine wenige Monolagen dicke Aluminiumschicht abgeschieden. Aufgrund der niederen Temperatur werden Diffusionsprozesse reduziert und eine Dotierung der Epitaxie durch Eindiffusion vermieden. Desweiteren ergeben aluminiumreiche Schichten generell eine bessere Materialqualität auf Siliziumsubstrat [93] als z.B. GaN oder InN.

3.1.2 Puffer

Der Puffer besteht aus nominell undotiertem GaN, gewachsen bei einer Temperatur von ca. 1100 °C. Aufgrund der größeren Gitterkonstante von 111–Silizium ($a_{111\text{Si}} = 5,430 \text{ \AA}$, [93]) gegenüber GaN ($a_{\text{GaN}} = 3,189 \text{ \AA}$, [94]) treten während des Wachstums enorme Kräfte auf, welche mit zunehmender Dicke stärker werden und das ganze Substrat parabolisch verbiegen können [95]. Dies hat zur Folge, dass das Substrat nicht mehr ganzflächig auf dem Substrathalter aufliegt, was zu einer inhomogenen Wärmeverteilung und entsprechender Variation in der Schichtdicke bzw. Schichtqualität führt.

Einen viel stärkeren Einfluss auf die Proben haben die stark unterschiedlichen Ausdehnungskoeffizienten von Silizium ($2,59 \cdot 10^{-6} \text{ K}^{-1}$, [96]) und GaN ($5,59 \cdot 10^{-6} \text{ K}^{-1}$, [97]). Durch die hohen Wachstumstemperaturen entsteht in der Abkühlphase eine derart starke Verspannung, dass der gesamte Schichtaufbau zerbersten kann.

Abhängig von der Substratdicke gibt es eine kritische Dicke für die Epitaxie, welche die maximale Dicke der abscheidbaren einkristallinen Epitaxie verkörpert. Diese kann durch die Verwendung von niedertemperatur–AlN (LT–AlN–Schichten) Schichten stark erhöht werden. Anhand von insitu–Krümmungsmessung während des Wachstums [95] wird mit Hilfe der niedertemperatur–AlN–Schichten eine Entspannung des Schichtaufbaus nachgewiesen [98]. Dabei wird die Verspannung in den LT–AlN–Schichten und nicht im Puffer teilweise abgebaut. Unter Anwendung mehrerer LT–AlN–Schichten ist eine kritische Dicke über 8 μm möglich [31].

Obwohl der Puffer nominell undotiert gewachsen wird ist eine Hintergrunddotierung von $N_D = 0,5 - 1 \cdot 10^{16} \text{ cm}^{-3}$ zu erkennen. Defekte in Form von Stickstofffehlstellen, welche als Donator auftreten, werden dafür verantwortlich gemacht [99]. Diese Restleitfähigkeit wirkt sich negativ auf das Abschnürverhalten von Transistoren aus.

Neben einer Restleitfähigkeit sind noch weitere Effekte im Puffer zu beachten. So sind für das Wachstum von GaN auf Si AlN–Zwischenschichten materialtechnisch nötig, jedoch elektrisch äußerst unerwünscht. Ohne elektrische Kompensation stellen sie viele stark polare Grenzflächen dar. Wie bereits aus Abbildung 2.10 ersichtlich, werden an den Grenzflächen Ladungsträger induziert. Elektrisch gesehen ist dies die ungünstigste Konstellation für hochfrequente Transistorstrukturen, da bei dynamischen Anwendungen eine kapazitive Kopplung der vergrabenen Ladungen und dem Kanal entsteht. Diese Paralleleitfähigkeit bildet einen Nebenschluss, welcher negative Einflüsse auf die Transistorstruktur ausübt. Sichtbar wird dies vor allem bei Kleinsignalmessungen (4.9) durch ein kleineres f_{max} im Vergleich zu f_t . Während f_T vornehmlich über die Gate–Sourcekapazität bestimmt wird [86], wirkt bei f_{MAX} die Gate–Drainkapazität mit. Diese sonst vernachlässigbare Kapazität kann durch eine Hintergrundleitfähigkeit stark zunehmen, weshalb f_{MAX} negativ beeinflusst wird [100].

Diese unerwünschten Effekte können durch eine Eisendotierung, welche als tiefer Ak-

zeptor mit einer Aktivierungsenergie von 0,9 eV [101] wirkt, minimiert werden. Sowohl die Restleitfähigkeit als auch die induzierten Ladungen an Grenzflächen werden kompensiert. Mit dieser Technik sind Hintergrunddotierungen von $N_D = 10^{15} \text{ cm}^{-3}$ erzielt worden [102]. Natürlich leidet die Materialqualität unter der Eisenverunreinigung und setzt die Durchbruchfeldstärke herab. Außerdem können die Akzeptoren in Hochfeldregionen bzw. durch hohe Temperaturen ionisiert werden, wodurch die eben beschriebene Restleitfähigkeit wieder auftritt. Deshalb müssen die Hauptbestrebungen weiterhin eine Reduzierung der Hintergrundleitfähigkeit aufgrund von Materialverbesserungen sein.

3.1.3 Barriere

Die Wachstumsbedingungen der Barriere variieren mit der Zusammensetzung des Barrierenmaterials. So sind Wachstumstemperaturen zwischen 800 °C für InAlN bis 1200 °C für AlGaN nötig. In dieser Arbeit wird die InAlN-Barriere gitterangepasst abgeschieden. Die Prozeßparameter sind im einzelnen in [29] erläutert. Ein kritische Schichtdicke, Abhängig vom Barrierenmaterial, fällt im Gegensatz zu AlGaN/GaN-Transistoren aufgrund der Gitteranpassung weg [31].

Neben dem Wachstum des Volumenmaterials ist eine Kontrolle der Grenzfläche Barriere-Puffer als auch der Abschluss der Oberfläche der Barriere von entscheidender Bedeutung. Die Oberfläche wird als Abschluss mit einer atomaren Schicht AlN bedeckt. Da AlN die größte Interness der Gruppe III-Nitride aufweist, wird somit die Wahrscheinlichkeit einer möglichen unerwünschten Reaktion an der Oberfläche minimiert. Der Übergang Barriere-Puffer wird im folgenden Abschnitt behandelt.

3.1.4 AlN-Zwischenschicht

Realisierungen von AlGaN/GaN Transistoren weisen eine Verbesserung ihrer Kenndaten durch das Einbringen einer dünnen AlN-Schicht zwischen Barriere und Puffer auf. Dabei erhöht sich sowohl die Grenzflächenladung um ca. 11 % als auch die Beweglichkeit um ca. 26 % [103], woraus eine RF-Leistungszunahme resultiert. Die AlN-Schicht hat dabei eine optimale Dicke von ca. 1 nm [103]. Unterschiedliche Erklärungen sind für dieses Verhalten möglich.

1. Grenzflächenübergang

Die Grenzflächen zwischen binären Halbleitern (AlN/GaN) sind chemisch und physikalisch abrupter im Vergleich zu ternären-binären Grenzflächen (AlGaN/GaN)

[104], was zu einer verringerten Streuung und höherer Grenzflächenladung an der AlN/GaN–Grenzfläche führt.

2. Streuung

Eine weitere Option basiert auf dem physikalischen Prinzip der Phonongeneration. Unter Phononen versteht man gespeicherte Energie im Gitter in Form von Gitterschwingungen. Diese Phononen sind beweglich und können ihre Energie an Elektronen abgeben, wodurch diese gestreut werden und ihre Richtung und Geschwindigkeit verändern. Dadurch erhöht sich die effektive Weglänge der gestreuten Elektronen, was extern durch eine Reduzierung der Beweglichkeit und Driftgeschwindigkeit detektiert werden kann [107].

Aufgrund der hohen Betriebsspannungen im Transistorbetrieb der Gruppe III–Nitride können hochenergetische Elektronen, auch als heiße Elektronen bezeichnet, longitudinale optische Phononen generieren [108]. Dies geschieht ca. alle 10 fs im Transistorbetrieb. Die Lebensdauer der Phononen in der AlGaN–Barriere beträgt weniger als 200 fs und reicht bis zu mehreren Pikosekunden im Puffer [109].

Die höchste Phonondichte befindet sich am drainseitigen Ende des Gates wo auch die größten Feldstärken vorherrschen. Aufgrund des Dichteunterschiedes der Phononen zwischen Hochfeldregion und Puffer wandern diese zunehmend mit längerer Lebensdauer aus der Hochfeldregion in den Puffer ab, wodurch ihr Einfluss in der aktiven Schicht reduziert wird.

In der Hochfeldzone eines Transistors liegt die Aufenthaltswahrscheinlichkeit der Elektronen in der Barriere bei 80 % [110], wodurch sich eine mittlere Lebensdauer der Phononen von ca. 400 fs einstellt. Durch die AlN–Barriere wird die Eindringwahrscheinlichkeit der heißen Elektronen in die Barriere stark reduziert [111]. Dadurch werden mehr Phononen im Puffer generiert wodurch sich ihre durchschnittliche Phononenlebensdauer auf ca. 800 fs erhöht. Die längere Zeit zum Wandern ermöglicht eine größere Entfernung vom Kanal, weshalb hier die Driftgeschwindigkeit und Beweglichkeit weniger stark negativ beeinflusst wird.

In dieser Arbeit ist ebenfalls eine 1 nm dicke AlN–Schicht zwischen Barriere und Puffer verwendet worden. An den dabei realisierten Proben auf Siliziumsubstrat ist eine Beweglichkeitszunahme von ca. 15 % auf $1620 \text{ cm}^2/\text{Vs}$ [31] gemessen worden. Ferner hat sich die Schichtladung um ca. 10 % erhöht.

Die verwendete Epitaxie ist ausschließlich an der Otto–von–Guericke Universität in Magdeburg, Abteilung Halbleiterepitaxi (www.uni-magdeburg.de/ahe/ahemiarb.html) entstanden. Die realisierten Schichtaufbauten bestehen immer aus einem semiisolierenden GaN–Puffer mit einer Dicke zwischen 1 und 3 μm . Dabei sind sowohl eine niedertemperatur–AlN–Anwachsschicht, mehrere niedertemperatur–AlN–Schichten zur Minimierung der internen Verspannungen, eine insitu–Krümmungsmessung und eine Eisendotierungen zum

Einsatz gekommen.

Die aktiven Schichten sind nach gegenseitiger Absprache realisiert worden. Ein schematischer Schichtaufbau wird an entsprechenden Stellen in der Arbeit gegeben.

Dieses Wachstum stellt die Grundlage für die weiteren Untersuchungen dar.

3.2 Prozessierung

Im folgenden Abschnitt wird auf die technologische Herstellung (Prozessierung) der Transistorstrukturen eingegangen. Der in dieser Arbeit vorgestellte Herstellungsprozess kann in seinem Ablauf durchaus variiert werden. Die Vorgehensweise hierzu ist stark von den für die Prozessierung verwendeten Geräten abhängig.

Für die Herstellung eines Transistors wird mit der Realisierung einer elektrischen Bauteileisolation (MESA) begonnen. Im Anschluss daran werden sperrfreie Kontakte realisiert, welche einen Zugang zum Kanal ermöglichen. Danach werden Gate-Steurelektroden mit Hilfe eines Elektronenstrahlbelichters realisiert. Eine elektrisch isolierende Passivierung wird im Anschluss auf die Transistorstruktur aufgebracht. Um den Transistor kontaktieren zu können, muss an den Kontaktflächen der Nadeln diese wieder geöffnet werden.

Abbildung 3.1 zeigt eine Aufnahme eines fertig prozessierten Hochfrequenztransistors

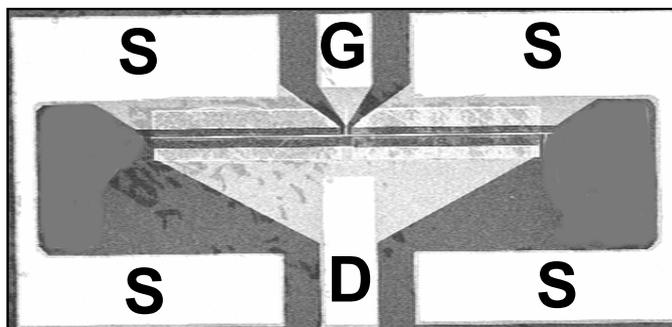


Abbildung 3.1: Rasterelektronenmikroskopaufnahme eines Hochfrequenztransistors. $L_G = 0,25 \mu\text{m}$, $W_G = 200 \mu\text{m}$.

(RF-Transistor). Source-, Drain- und Gatekontaktflächen sind gesondert markiert. Aus Gründen der Hochfrequenz sind dabei immer zwei Sourcekontaktflächen symmetrisch angeordnet.

3.2.1 Bauteileisolation (MESA)

Der erste Schritt der in dieser Arbeit vorgestellten Prozeßreihe ist die Bauteileisolation, genannt MESA-Isolation. Da strukturiertes Wachstum mit den Anforderungen der

Prozesstechnologie bei Gruppe III–Nitriden aufgrund der hohen Wachstumstemperaturen nicht praktikabel ist, wird die homogene Epitaxie partiell bearbeitet um den Stromfluß auf definierte Gebiete zu begrenzen. Unterschiedliche Verfahrenstechniken finden dabei Anwendung:

1. Ionenimplantation: Um den Stromfluß zu unterbinden werden partiell Ionen implantiert um den Halbleiter zu isolieren.
2. Ätzen: An allen Stellen, an welchen kein Strom fließen soll, wird die leitfähige Epitaxie physikalisch entfernt.

Implantation:

Die Implantationstechnologie beruht auf dem Beschuss des Materials mit Ionen hoher kinetischer Energie. Diese dringen dabei in das Material ein. Dieser invasive Eingriff beeinflusst die Materialqualität negativ, was allerdings durch anschließendes Rekristallisieren bei hohen Temperaturen vermindert werden kann [112]. Der Isolationsmechanismus kann nun einerseits durch eine reduzierte Materialqualität als auch durch eine Gegenkompensation durch Dotieren erzielt werden.

Im Falle der Kompensation durch Dotieren werden N^+ Ionen implantiert, wodurch eine Schichtleitfähigkeit von $R_{SH} > 5 \cdot 10^7 \Omega/\square$ mit einer Aktivierungsenergie von 0,9 eV erzielt [113] werden kann.

Für den Fall der Destruktion der Kristallstruktur ist mit der Implantation von Wasserstoffionen (H^+) und Heliumionen (He^+) eine Zunahme der Schichtleitfähigkeit von ursprünglich $R_{SH} > 5 \cdot 10^2 \Omega/\square$ um 7 Größenordnungen zu beobachten [114]. Hier ist kein Rekristallisationsschritt nötig.

Ätzen:

Bei einer Realisierung der MESA durch Ätzverfahren wird zwischen trocken- und nasschemischem Ätzen unterschieden. Beim Trockenätzen sind im Wesentlichen die folgenden Verfahren zu erwähnen: Electron Cyclotron Resonance (ECR [115] [116]), Reactive Ion Etching (RIE [117] [118]), Chemically Assisted Ion Beam Etching (CAIBE, [119]) und Ion Beam Etching (IBE, [120]). Bei diesen Ätzverfahren besteht der eigentliche Ätzprozess, abgesehen von IBE, aus einer chemischen und physikalischen Sputterkomponente. Für die chemische Komponente wird in der Regel Chlor verwendet, welches mit Gallium zu flüchtigem $GaCl_x$ reagiert. Unterstützt wird die chemische Komponente durch einen Sputteranteil unter Verwendung eines Edelgases (meist Argon). Lediglich bei IBE wird völlig auf die chemische Komponente verzichtet. Mit diesen Ätzverfahren können Ätzraten von bis zu 350 nm/min [119] erzielt werden. Hierbei weisen oberflächennahe Regionen nach dem Ätzprozess Konzentrationen von Chlor auf [118], die durch Flußsäure entfernt werden können.

Nasschemische Ätzprozesse sind in der Halbleitertechnologie die schonensten Mechanismen zur Materialabtragung. Betrachtet man N-Faced Material so kann dies aufgrund

seines metastabilen Zustandes sehr einfach bei Raumtemperatur z.B. in Kaliumhydroxid (KOH) abgetragen werden. Dabei stellen sich derart hohe Ätzraten ein, dass der Abtrag nur schwer kontrollierbar ist. In dieser Arbeit wird Ga-Faced Material verwendet. Dieser energetisch äußerst günstige Gitteraufbau spiegelt sich in einer Inertness der Gruppe III-Nitride wieder, so dass sich keine Chemikalie findet, welche bei Raumtemperatur unter gewöhnlichen Laborbedingungen diesen ätzt. Nur unter Zuhilfenahme von ultraviolettem Licht (UV) kann in 80 °C heißem Kaliumhydroxid der Gruppe III-Nitrid oxidiert werden [121]. Eine besondere Rolle spielt dabei das UV-Licht, denn es generiert Elektron-Lochpaare. Diese können Galliumatome an der Oberfläche absättigen, wodurch sich der Stickstoff verflüchtigen kann [122]. Mit dieser Methode können extrem hohe Ätzraten von > 300 nm/min [122] erzielt, wobei die Ätzrate mit Hilfe der Lichtintensität eingestellt werden kann. Ferner ist es möglich, die Ätzraten derart zu reduzieren, dass gezielt wenige Nanometer abgetragen werden. Dies erlaubt die Durchführung eines teilweise vergrabenen Gates („Gate-Recesses“) [123] ohne im Ätzschritt die oberflächennahen Schichten negativ zu beeinflussen. Theoretisch kann mit Hilfe von Spektralfiltern die Wellenlänge derart justiert werden, dass selektives Ätzen zwischen GaN und InAlN möglich ist, da aufgrund des größeren Bandabstandes in InAlN keine Löcher generiert werden.

Im Vergleich beider Isolationsverfahren hinterlässt die Implantationstechnik als einzige eine planare Oberfläche. In darauffolgenden technologischen Schritten werden elektrische Zuleitungen realisiert welche bei einer implantierten MESA keine Höhenunterschiede aufgrund der physikalischen Planarität erfahren. Bei geätzten Übergängen sind hingegen teilweise Unterbrechungen in den Zuleitungen aufgrund der Höhendifferenz am Übergang entdeckt worden. Inwieweit eine teilweise Amorphisierung des Materials durch Implantation sich negativ auf die folgenden Prozessschritte auswirkt, ist nicht bekannt.

In dieser Arbeit wurde eine Mesa-Isolation durch Sputtern mit Hilfe des Edelgases Argon erzielt. Ausschlag hierfür war die moderate Ätzrate von 1 nm/sec und die Tatsache, dass keine Konterminierung der Oberfläche durch vorhandene Gase (z.B. Chlor) stattfindet. Dabei kann nach einem Reinigungsschritt im Anschluß an den Ätzprozeß von einer rückstandsfreien Oberfläche ausgegangen werden. Einer Änderung der Oberflächenstöchiometrie, wie sie durch das physikalische Einwirken der Sputteratome während des Ätzprozesses stattfindet, konnte keine Oberflächenleitfähigkeit oder andere Effekte zugeordnet werden.

3.2.2 Sperrfreie Kontakte

Für ungepinnte Halbleiteroberflächen, wie es für GaN der Fall ist [129] [130] [13], lassen sich für Elektronen ideale ohmsche Kontakte mit Metallen herstellen, deren Austrittsarbeit kleiner bzw. gleich groß der Elektronenaffinität des Halbleiters sind [131].

AlN	Sc	Hf	Zr	GaN	Ag	Al	V	Nb	Ti
1.90	3.50	3.90	4.05	3.4–4.1	4.26	4.28	4.30	4.30	4.33
	Cr	W	Mo	Cu	Co	Au	Pd	Ni	Pt
	4.50	4.55	4.60	4.65	5.00	5.10	5.12	5.15	5.65

Tabelle 3.1: Austrittsarbeiten für verschiedene Metalle [124] und die Elektronenaffinitäten der Halbleiter GaN [125] [126] und AlN [127] [128] in eV.

Entsprechend Tabelle 3.1 besitzt AlN die kleinste Elektronenaffinität, weshalb kein universeller idealer ohmscher Kontakt für Gruppe III–Nitride bekannt ist.

Da in dieser Arbeit ausschließlich n–Typ Transistoren hergestellt werden, wird ein n–Kontakt, also ein Kontakt für Elektronen, behandelt. Hierbei wird der Kontakt auf der InAlN Barriere abgeschieden. Seine Aufgabe besteht darin, einen sperrfreien Kontakt mit dem Kanal durch die Barriere zu vollziehen. Für diese Aufgabe werden Tunnelkontakte für den Übergang Metall–Halbleiter verwendet. Dabei wird die für den Kontakt nötige Dotierung des Materials unter Verwendung einer Phasenumwandlungen vollzogen. Für die Umwandlung müssen die Proben legiert werden, was aufgrund ihrer Härte bei Legiertemperaturen von 860 °C geschieht. Als Kontaktmaterial wird dabei Titan und Aluminium verwendet, welches in einem ersten Diffusionsschritt bei 600 °C völlig eindiffundiert wird [132]. Im eigentlichen Legierschritt bilden sich viele Phasen aus, wobei einige wie TiN [132] oder AlTi₂N [133] metallischen Charakter aufweisen. Beide haben sie eines gemein: Sie reduzieren den Stickstoff ohne die Kristallstruktur zu verändern, wodurch N–Fehlstellen generiert werden. Da N–Fehlstellen als Donator wirken [99] ergibt sich im Diffusionsbereich eine n–Dotierung, welche den Tunnelkontakt ermöglicht und gleichzeitig den Kanal durch die Barriere über geringe Serienwiderstände kontaktiert.

Neben den eigentlichen Kontaktmaterialien wird zusätzlich Nickel (Ni) und Gold (Au) abgeschieden, was im Gesamten zu einem Ti/Al/Ni/Au–Kontakt führt. Mehrere Gründe sind verantwortlich für die zusätzliche Metallschichten: Gold wird benötigt um die Serienwiderstände auf dem Kontakt gering zu halten, bzw. um einen guten Kontakt mit den Messspitzen zu erlangen. Die Nickelschicht verhindert eine eventuelle Diffusion des Goldes in den Kontakt und bildet durch die Formierung einer Au/Ni Legierung eine homogenere und flachere Oberfläche [134]. Hierdurch wird im Wesentlichen verhindert, dass überflüssiges, nicht eindiffundiertes Aluminium während der Legierung schmilzt und Blasen bildet [135] und es wird eine Schutzschicht für das Aluminium bereitgestellt, damit dieses nicht langfristig zu Saphier (Al₂O₃) oxidiert. Hiermit lassen sich Kontaktwiderstände von $R_C = 1 \cdot 10^{-7} \Omega \text{cm}^2$ [136] realisieren.

Durch die Legiertemperaturen werden nicht nur Phasenumwandlungen vollzogen, sondern auch die Oberflächenmorphologie der Kontakte verändert sich und wird uneben, was zu erhöhtem Aufwand bei der anschließenden Weiterverarbeitung der Wafer führen kann. Vor allem automatisierte Justageprozesse haben Schwierigkeiten, die Abmaße der Ohmkontakte eindeutig zu lokalisieren. Zu diesem Zweck sind Tantal (Ta) basierende

Kontakte realisiert worden. Mit Tantal kann durch eine höhere Massenzahl eine erhöhte Rückstreuung bei Fokussierung mit einem Elektronenstrahl erzielt werden, was für einen Elektronenstrahlschreiber ein besseres Abbild generiert. Allerdings haben diese Kontakte mit Blick auf einen relativ hohen spezifischen Kontaktwiderstand von $R_C = 5 \cdot 10^{-6} \Omega \text{cm}^2$ [137] sich nicht durchsetzen können.

Zusätzlich kann der ohmsche Widerstand durch eine Kontaktätzung verbessert werden [140]. Dabei wird vor dem eigentlichen Abscheiden der Kontaktmetalle für den ohmschen Widerstand ein Teil der Barrierenschicht an den Kontaktflächen abgetragen. Dies verringert den Weg zwischen Kontaktoberfläche und dem eigentlich zu kontaktierenden 2DEG, was zu einer Reduzierung des Widerstandes führt. Ferner werden eventuell entstandene Oberflächenoxide durch das Ätzen entfernt [141]. Aufgrund von Materialschädigungen, welche sich in Form einer Donatordotierung zeigt, wird zusätzlich ein verbesserter Kontakt erzielt [142]. Es gilt allerdings zu beachten, dass im eigentlichen Ätzschritt nicht zu tief geätzt und die hochleitfähige 2DEG-Schicht durchdrungen wird. Ist dies der Fall, so kann das 2DEG lediglich über die Kontaktwand kontaktiert werden [141], was zu einer Reduzierung der effektiven Kontaktfläche und dadurch erhöhtem Kontaktwiderstand führt. Ferner wird das Ausbilden von Metallkugeln während des Legierens, verursacht durch die Oberflächenspannung und die hohen Temperaturen, beobachtet [143]. Dies führt zum Verlust des Kontaktes.

Die in dieser Arbeit verwendete Kontaktverstärkung beruht auf einem Überlapp der ge-

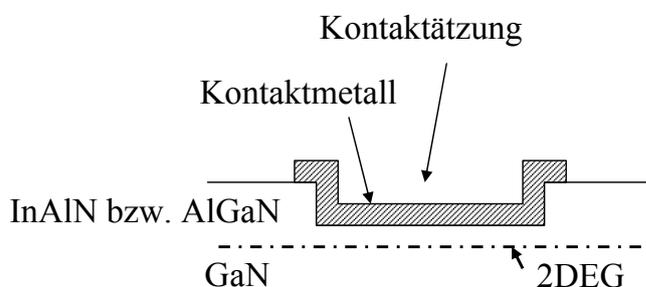


Abbildung 3.2: Schematischer Aufbau einer Kontaktätzung zur Minimierung der ohmschen Kontakte.

ätzten Fläche in das ungeätzte Gebiet, wie es aus Abbildung 3.2 ersichtlich wird. Dadurch konnte der Einfluss der Oberflächenspannung verhindert werden.

3.2.3 Gate–Steuerelektrode

Für die Transistorsteuerung wird eine Steuerelektrode benötigt. Im Wesentlichen hat sich dabei bei Gruppe III–Nitriden ein Schottkykontakt durchgesetzt. Besteht kein Oberflächenpotential im Halbleiter („Ungespinn“), so kann die Barrierenhöhe von Schottkykon-

takten für n-leitfähigem Material nach [15] aus der Differenz der Vakuumsaustrittsarbeit von Metall (Φ_m) und der Elektronenaffinität des Halbleiters χ bestimmt werden. Eine Korrelationen der Barrierenhöhe mit variiierenden Gatematerialien, wie es in [129] der Fall ist, spricht für eine ungepinnte Oberfläche von GaN. Vor allem Metalle mit großer Austrittsarbeit sind geeignet, da diese die höchsten Barrierenhöhen ergeben und dadurch Leckströme im Sperrbetrieb minimieren [131]. Realisiert worden sind daher Schottky-Kontakte mit Ti [145], Cu [146], Pt [147], Ni [145], Pd [148], PtSi [149], Re [150] und Au [151].

In der Praxis wird für die Herstellung von Hetero-Feldeffekttransistoren der Steuerkontakt nicht auf GaN sondern auf der AlGaN bzw. InAlN Barriere abgeschieden. Für AlGaN ist ein Oberflächenpotential vorhanden („gepinnt“) und die Barrierenhöhe des Schottkykontaktes variiert nicht mit dem Kontaktmaterial entsprechend theoretischer Annahmen. In Realisierungen hat sich Nickel als Kontaktmaterial mit einer Gold-Deckschicht als der wohl am häufigsten verwendete Schottkykontakt auf Gruppe III-Nitride durchgesetzt. Für Hochtemperaturanwendungen haben sich Pt/Au Schottkykontakte bewährt, welche bis zu Temperaturen von 800 °C stabil sind [55]. Der Vollständigkeit muss erwähnt werden, dass diese hochtemperatur-Kontakte in ihrer Haftung auf dem Halbleiter begrenzt sind.

In Gruppe III-Nitriden finden neben klassischen Schottkykontakten auch MIS-Strukturen (Metal Insulator Semiconductor) Einsatz. In diesem Ansatz wird ein Dielektrikum zwischen Kontaktmetall und Halbleiter eingefügt. Dadurch ist es möglich, die Gateströme zusätzlich zu minimieren. Wird zusätzlich das Gate in das Oxid vergraben („Gate Recess“), so können die Felderhöhungen an den Kanten des Gates aufgrund einer erhöhten Dielektrizitätskonstante des Oxides im Vergleich zur Umgebung reduziert werden. Dies erhöht die Durchbruchspannung und reduziert die horizontale Ladungsträgerinjektion auf der Oberfläche.

Da sich der Stickstoff an der Oberfläche verflüchtigen kann und sich so eine in ihrer Dicke und Zusammensetzung nicht definierte GaO_x -Schicht an der Oberfläche bilden kann, muss diese vor dem Abscheiden des Dielektrika entfernt werden bzw. ihre Ausbildung unterdrückt werden.

MIS-Strukturen sind mit einer Vielzahl von Dielektrika realisiert worden. Neben Oxiden wie SiO_2 [43], $\text{Ga}_2\text{O}_3(\text{Gd}_2\text{O}_3)$ [156] oder Al_2O_3 [157] sind auch Nitride (Si_3N_4 [158]) bzw. mehrlagige Oxid- bzw. Nitridschichten [159] und Materialien mit hoher Dielektrizitätskonstante wie Barium-Strontium-Titanat (BST, [160]) angewendet worden. Hierbei ist Al_2O_3 aufgrund seiner Materialeigenschaften (Bandabstand, Durchbruchfeldstärke) das bevorzugte Material. Aufgrund einer größeren Anzahl von Veröffentlichungen bezüglich MIS-Strukturen mit Si_3N_4 und SiO_2 als Dielektrikum im Vergleich zu Al_2O_3 ist zu vermuten, dass die Grenzfläche AlGaN/ Al_2O_3 nur schwer kontrollierbar ist, was sich in einer Zustandsdichte für Ladungsträger an der Grenzfläche widerspiegeln kann. Dadurch werden die steuernden Eigenschaften der MIS-Dioden reduziert.

In dieser Arbeit sind sowohl Schottkykontakte als auch MIS-Strukturen als Steuerelektrode realisiert worden. Dabei wird für Schottkykontakte eine Ni/Au-Schicht als Kontaktmaterial verwendet, wobei Nickel den Schottkykontakt bildet und Gold die Zuleitungswiderstände minimiert. Für den Fall der MIS-Struktur ist bei gleichen Kontaktmetallen Si_3N_4 als Dielektrikum abgeschieden worden.

Die eigentlichen Steuerelektroden sind sowohl optisch ($L_G \geq 1 \mu\text{m}$) als auch mit Elektronenstrahlbelichtung ($L_G \geq 150 \text{ nm}$) auf dem Dielektrikum (MIS) und auf der Barrierschicht (Schottky) realisiert worden.

Während die MIS-Strukturen zur Charakterisierung der Passivierung verwendet wurden, werden für die InAlN/GaN-Transistoren Schottkykontakte verwendet.

3.2.4 Passivierung

Neben dem Schutz der Oberfläche vor externen Einflüssen, wofür im Wesentlichen mechanische Größen von Bedeutung sind, besteht die Aufgabe der Passivierung in der Minimierung des in Kapitel 2.5 beschriebenen instabilen Verhaltens der Transistoren.

Elektrische Anforderungen an die Passivierung sind eine Reduzierung des Oberflächenpotentials sowie ein elektrisch isolierender Charakter. Ferner muss das Material eine hohe Durchbruchfeldstärke und einen großen Bandabstand besitzen.

Während eine Reduzierung des Oberflächenpotentials die Serienwiderstände minimiert und den maximalen Drainstrom erhöht [163], wird eine hohe Durchbruchfeldstärke (höher als die des Halbleiters) benötigt, um den Transistor bis an seine maximalen Betriebsspannungen betreiben zu können. Eine abgesättigte Oberfläche verhindert das dispersive Verhalten der Transistoren. Diese Voraussetzungen machen die Kandidaten Si_3N_4 , SiO_2 und Al_2O_3 interessant und ähneln dabei den Dielektrika, wie sie in MIS-Strukturen Anwendung finden.

Mit einem Bandabstand von $E_G > 9,1 \text{ eV}$ [164] und einer Durchbruchfeldstärke von $E_{BR} = 50 \text{ MV/cm}$ [165] ist Al_2O_3 ideal für eine Passivierung der Gruppe III-Nitride geeignet. Da dieses schwer in guter Qualität abgeschieden und anschließend bearbeitet werden kann, wird SiO_2 bevorzugt verwendet, welches ebenfalls eine hohe Durchbruchfeldstärke ($E_{BR} > 10 \text{ MV/cm}$) und großen Bandabstand ($E_G = 9 \text{ eV}$ [166]) besitzt. Praktisch ist Si_3N_4 ($E_{BR} = 8 \text{ MV/cm}$, $E_G = 5 \text{ eV}$) die wohl am häufigsten verwendete Passivierung, da hierbei die größten Leistungsverbesserungen in Bauteilen erzielt werden. Auch wenn die chemischen Veränderungen hierbei noch nicht eindeutig geklärt sind, so scheint es, dass die Grenzfläche zwischen Barriere und Si_3N_4 am einfachsten zu kontrollieren ist. Eine erfolgreiche Passivierung weist sich dadurch aus, dass das Oberflächenpotential verschwunden ist ($\Phi_{OF} = 0$ oder die Oberfläche ist entpinnt). Dadurch verlieren die Randgebiete ihre strombegrenzende Wirkung.

Mit Si_3N_4 passivierte Transistorstrukturen weisen verbesserte Gleich- und Wechselstrom-eigenschaften auf [163][167]. Selbst die in Kapitel 2.5 beschriebenen Instabilitäten können damit reduziert werden [168].

Dass die Instabilitäten in Gruppe III-Nitriden mit Hilfe einer Si_3N_4 -Passivierung nicht dauerhaft gelöst werden, zeigt sich unter Stressbedingungen der Transistoren bei hohen elektrischen Feldern (Kapitel 2.5). Bei einem Transistorbetrieb dieser Art degradieren die Bauteile mit der Zeit und die bereits bekannten dispersiven Phänomene treten wieder auf [73]. Dies ist nicht verwunderlich wenn man betrachtet, dass die Durchbruchfeldstärke der Passivierung geringer, als die des Halbleiters ist. Fest steht, dass diese Limitierung derzeit mit ein wesentlicher Bestandteil intensiver Forschungsarbeiten ist. Dabei liegen die Schwerpunkte auf dem Einsatz von SiO_2 oder Al_2O_3 als Passivierung, aber auch weitere Passivierungen wie Sc_2O_3 [172], MgO [173] und BST [160] werden getestet. Auch Mehrlagenschichten wie z.B. SiN/SiO_2 Strukturen sind von besonderem Interesse.

Kapitel 4

InAlN/GaN-FETs

AlGaN/GaN-Transistoren werden für den Einsatz als hochfrequente Leistungsverstärker eingesetzt. Neben diesen bestehenden Schichtstrukturen besitzen diverse weitere Schichtkonstellationen ebenfalls das Potential der hochfrequenten Leistungsverstärkung. In diesem Kapitel werden Transistoren bestehend aus einer InAlN/GaN Schichtfolge vorgestellt und charakterisiert.

4.1 Physikalischer Schichtaufbau

In diesem Kapitel werden die hergestellten InAlN/GaN Transistoren charakterisiert. Die verwendete Heterostruktur zur Realisierung der InAlN/GaN-Transistoren besteht aus ei-

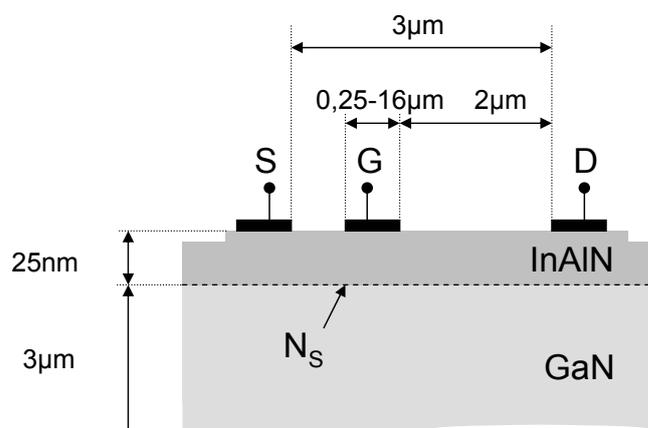


Abbildung 4.1: Schematischer Aufbau eines InAlN/GaN basierenden Transistors. In praktischen Realisierungen wird ein 111-orientiertes Siliziumsubstrat verwendet.

ner dünnen InAlN-Barriere (ca. 25 nm) gewachsen auf einem elektrisch semiisolierenden

GaN-Puffer (3 μm). Für das Wachstum wird dabei ein 111-orientiertes Siliziumsubstrat verwendet. Der Aufbau entspricht damit der in Kapitel 2.3 beschriebenen HEMT-Struktur und ist in Abbildung 4.1 nochmals abgebildet.

Die Ladungsträgergeneration basiert in diesem Aufbau maßgeblich auf den Polarisationsunterschieden der Grenzfläche Barriere-Puffer, und soll im folgenden genauer betrachtet werden. Abbildung 4.2 zeigt unter Berücksichtigung der in Kapitel 2.1 beschriebenen

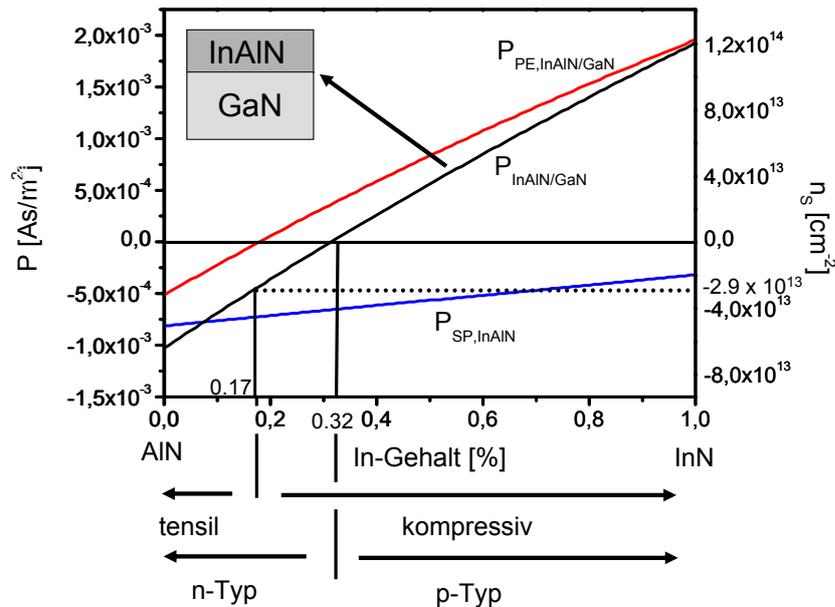


Abbildung 4.2: Theoretisch berechnete Polarisationsladung für eine InAlN/GaN – Grenzfläche mit Ver-spannung der InAlN-Gitterkonstante auf die von GaN.

Annahmen die Verläufe der spontanen ($P_{SP,InAlN}$) und Piezopolarisation ($P_{PE,InAlN}$) für InAlN bei unterschiedlichen Indium bzw. Aluminiumkonzentrationen. Zusätzlich ist der resultierende Polarisationsunterschied einer InAlN/GaN-Grenzfläche ($P_{InAlN/GaN}$), welcher zur Ladungsträgergeneration verwendet wird, mit abgebildet. Neben der Polarisation sind in einer zweiten Achse äquivalente Schichtkonzentrationen mit dargestellt.

Betrachtet wird die $P_{InAlN/GaN}$ -Kurve, welche für die Ladungsträgergeneration einer InAlN/GaN Grenzfläche verantwortlich ist. Dabei ist ein $N_S = 6,8 \cdot 10^{13} \text{ cm}^{-2}$ für einen AlN/GaN basierenden Aufbau möglich. Diese Ladungsträgerkonzentration nimmt stetig mit höherem Indiumgehalt ab, bis schließlich für eine Indiumkonzentration von 32 % die Grenzfläche $\text{In}_{0,32}\text{Al}_{0,68}\text{N}/\text{GaN}$ ladungsfrei ist. Für eine weitere Erhöhung der Indiumkonzentration werden positive Ladungsträger an der Grenzfläche akkumuliert. Verantwortlich für diesen Effekt ist die Piezopolarisation, welche ihr Vorzeichen verändern kann. Dies wird, beginnend mit dem einfachsten unverspannten Fall, erläutert.

Für eine Indiumkonzentration von 17 % ist die Barriere gitterangepasst an den Puffer und somit spannungsfrei. Entsprechend existiert keine Piezopolarisation bei dieser Konstellation. In diesem InAlN/GaN-Aufbau wird an der InAlN/GaN-Grenzfläche ausschließlich durch die spontane Polarisation eine Schichtkonzentration von $N_S = 2,9 \cdot 10^{13} \text{ cm}^{-2}$ erzielt.

Wird der Aluminiumgehalt der Barriere aus dieser Gleichgewichtslage heraus erhöht, so wird die Barriere tensil verspannt. Dadurch erhält die Piezopolarisation ein negatives Vorzeichen und unterstützt die Generierung negativer Ladungsträger an der Grenzfläche.

Umgekehrt wird das Vorzeichen von P_{PE} positiv für eine Verringerung der Aluminiumkonzentration der Barriere, was der negativen Ladungsträgergeneration an der Grenzfläche InAlN/GaN entgegenwirkt. Für einen Indiumgehalt von 32 % sind P_{PE} und P_{SP} der InAlN-Schicht vom Betrag gleich groß wie P_{SP} des GaN-Puffers und heben sich gegeneinander auf, weshalb die Grenzfläche ladungsfrei ist. Eine weitere Erhöhung der Indiumkonzentration lässt die Piezopolarisation dominant werden und es werden Löcher generiert.

Im Laufe dieser Arbeit wurden InAlN/GaN-Schichten realisiert. Dabei wurden ausschließlich Gitterangepasste Barrieren, also mit 17 % Indiumgehalt, gewachsen. Da dieser Schichtaufbau neuartig ist, wird im folgenden seine Charakterisierung erläutert.

4.2 Elektrische Kenndaten des Schichtaufbaus

In dieser Arbeit wird eine Indiumkonzentration von 17 % gewählt und damit eine unverspannte Heterostruktur generiert. An Schichten dieses Aufbaus werden mit Hilfe von Hallmessungen Beweglichkeiten von $\mu_n = 416 \text{ cm}^2/\text{Vs}$ bei einer Schichtkonzentration von $N_S = 2,8 \cdot 10^{13} \text{ cm}^{-2}$ und einem Schichtwiderstand von $R_{SH} = 412 \text{ } \Omega/\square$ nachgewiesen. Dabei stimmt das N_S mit den Größen aus Abbildung 4.2 überein und konnte zusätzlich durch spannungsabhängige Kapazitätsmessungen (CV-Messungen) verifiziert werden ($N_{S,CV} = 2,5 \cdot 10^{13} \text{ cm}^{-2}$, Abbildung 4.3). Die Diskrepanzen zwischen CV- und Hallmessung können mit Hilfe der CV-Messung erklärt werden. Hier zeigt sich, dass die Barrierschicht eine Hintergrunddotierung von ca. $N_D = 1,0 \cdot 10^{18} \text{ cm}^{-3}$ besitzt. Diese Dotierung entspricht einer Dosis von $N_S = 2,4 \cdot 10^{12} \text{ cm}^{-2}$ und kann bei Hallmessung nicht von der Grenzflächenladung differenziert werden. Die hohe Hintergrunddotierung der Barriere deutet auf eine schlechte Materialqualität.

Die Ausbildung eines 2DEG an der Grenzfläche Barriere-Puffer kann der CV-Messung entnommen werden. Die trotz 2DEG relativ geringen Beweglichkeiten werden auf den großen Atomradius des Indium zurückgeführt, wodurch eine verstärkte inelastische Streuung an Atomen stattfindet [178]. Zusätzlich ist die Grenzfläche InAlN/GaN qualitativ noch nicht vergleichbar mit anderen Gruppe III-Nitridgrenzflächen wie z.B. AlGaN/GaN. Dies liegt im Neuheitsgrad dieses Schichtaufbaus begründet und muss weiter optimiert werden.

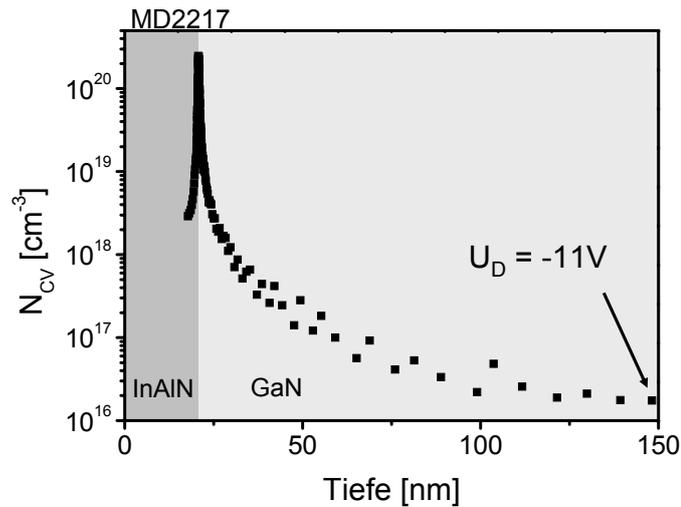


Abbildung 4.3: Tiefenabhängiges Ladungsträgerprofil, ermittelt aus einer spannungsabhängigen Kapazitätsmessung. Für die Barriere wird eine Hintergrunddotierung von ca. $N_D = 10^{18} \text{cm}^{-3}$ ermittelt.

4.3 Sperrfreie Kontakte auf InAlN

Für die Herstellung sperrfreier Kontakte auf InAlN wird eine Ti/Al/Ni/Au Metallstruktur entsprechend Kapitel 3.1 verwendet. Diese Kontakte werden mit Hilfe eines „Transmission Line Model“ (TLM-Modell) ausgewertet. Zusätzlich wird ein verteiltes Kettenleiter-

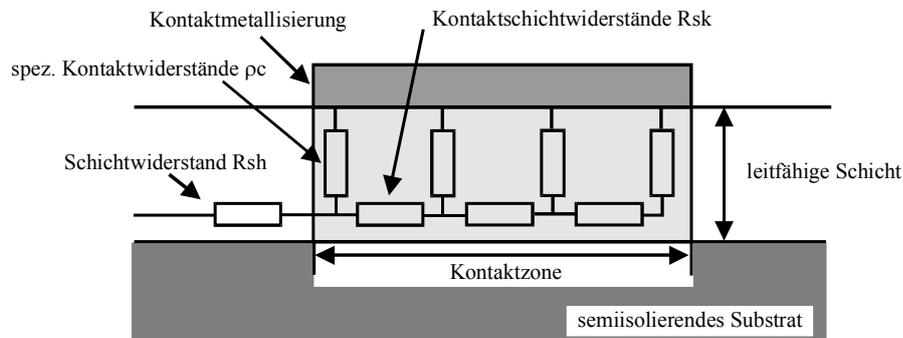


Abbildung 4.4: Elektrisches Ersatzschaltbild eines sperrfreien Kontaktes nach dem Kettenleitermodell [210].

modell, entsprechend Abbildung 4.4 angewendet. Im Gegensatz zum TLM-Modell wird bei Auswertung mit dem verteilten Kettenleitermodell neben dem eigentlichen Schichtwiderstand R_{SH} der Kontaktwiderstand R_C des sperrfreien Kontaktes in einen spezifischen Kontaktwiderstand ρ_{CS} und einen Kontaktschichtwiderstand R_{SK} unterteilt. Diese erweiterte Aufschlüsselung erlaubt es, einen veränderten Schichtwiderstand unter dem Kontakt R_{SK} mit dem Schichtwiderstand der Bahngebiete R_{SH} zu vergleichen. Entsprechend [131] bestehen zwischen dem Endwiderstand R_E einer Enwiderstandsmessung und der Trans-

ferlänge L_{TC} des TLM-Modells folgende Zusammenhänge:

$$L_{TC} = \sqrt{\frac{\rho}{R_{SK}}} \quad (4.1)$$

$$R_C = \frac{R_{SK}L_{TC}}{W} \cdot \coth\left(\frac{d}{L_{TC}}\right) \quad (4.2)$$

d entspricht der Breite, W der Länge des Kontaktes.

Mit Hilfe des TLM-Modells wurde ein Schichtwiderstand von $R_{SH} = 412 \Omega/\square$ ermittelt. Mit Hilfe des Kettenleitermodells konnte der Kontaktwiderstand detailliert in einen spezifischen Kontaktwiderstand von $\rho_{CS} = 9,2 \cdot 10^{-5} \Omega/\square$ und $R_{SK} = 402 \Omega/\square$ separiert werden. Der Einfluss der Dotierung des Bahnggebietes wird während des Legierprozesses durch einen reduzierten R_{SK} im Vergleich zum R_{SH} deutlich.

4.4 Schottky-Kontakte auf InAlN

Zur Steuerung der InAlN-Transistoren werden Ni/Au-Kontakte, wie in Kapitel 3.1 beschrieben, verwendet. Dabei ist die Barrierenhöhe zwischen Kontaktmetall und Halbleiter zu bestimmen. Theoretisch wird für eine $\text{In}_{0,17}\text{Al}_{0,83}\text{N}$ mit einer Affinität von $\chi = 5,15 \text{ eV}$ (linear interpoliert aus InN und AlN) für Nickel und n-Typ Schottkykontakt eine Barrierenhöhe von $\phi_B = 2,67 \text{ eV}$ ermittelt.

Eine halblogarithmische und lineare Darstellung der Diodenkennlinie ist in Abbildung 4.5a) zu sehen. Dabei beträgt die Diffusionsspannung, welche der linearen Kennlinie zu entnehmen ist, ca. 2,3 eV und spricht für eine hohe Barriere des Steuerkontaktes. Exakt wird diese mit Hilfe der CV-Messung dynamisch ermittelt. Unter der Annahme einer konstanten Dotierung in der Barriere gilt nach [131] folgende Beziehung:

$$\frac{1}{C(U)^2} = \frac{2(U_D - U - kT/q)}{2\varepsilon_r\varepsilon_0qN_d} \quad (4.3)$$

Dabei entspricht $C(U)$ der internen spannungsabhängigen Kapazität des Schottkykontaktes, U_D der Diffusionsspannung des Übergangs und U der angelegten Spannung. Entsprechend Gleichung 4.3 kann bei konstanter Dotierung der Barriere und einer Auftragung von $1/C(U)^2$ über der Spannung aus dem Schnittpunkt mit der Spannungsachse (U) die Diffusionsspannung U_D ermittelt werden. Wie sich im weiteren Verlauf dieses Kapitels noch zeigen wird, kann trotz des großen Bandabstandes der Barriere von einer Hintergrunddotierung ausgegangen werden, welche eine vollständige Verarmung der Barriere für den spannungsfreien Fall ausschließt. Diese Annahme wird zusätzlich durch einen hohen n-Faktor von 2,3 gestützt, was auf einem schlechten Schottkykontakt weist, und

möglicherweise von der Materialqualität herrührt. Dabei wurde der Idealitätsfaktor durch eine Least Square Approximation der Kennlinie in Flussrichtung bestimmt. Abschließend kann nach [161] die Barrierenhöhe aus $\phi_N = q(U_D + kT)$ ermittelt werden.

Abbildung 4.5b zeigt die CV-Messkurve. Eindeutig sind das 2 DEG der Kanallladung

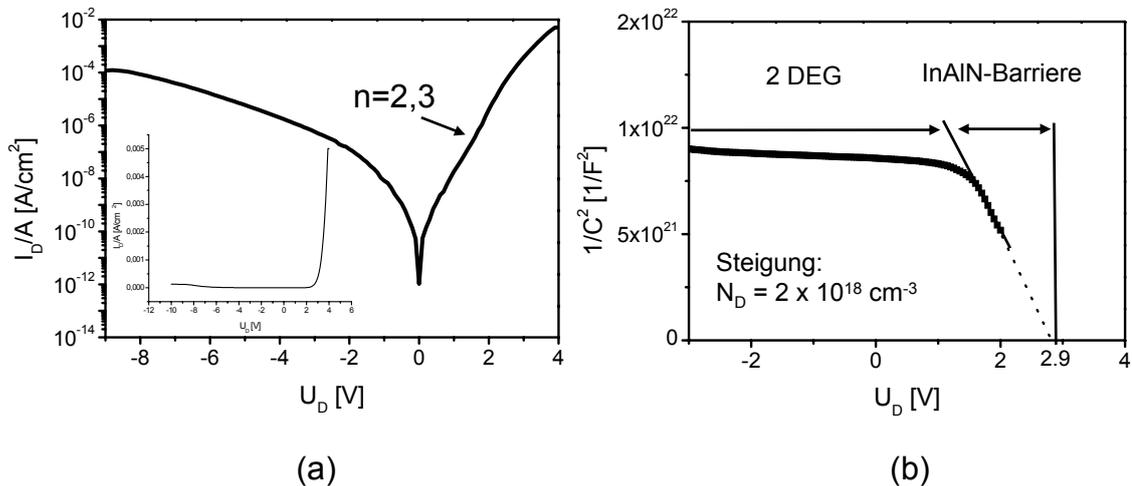


Abbildung 4.5: Bestimmung der Barrierenhöhe Nickel basierter Kontakte auf InAlN. a) Auftragung von $1/C^2$ einer CV-Messung über die Diodenspannung b) Arrehnisuplot der Sperrsättigungsstromes über die Temperatur.

(konstantes $1/C^2$) und die Barriere (linearer Abfall des $1/C^2$) voneinander zu unterscheiden. Dabei spricht eine konstante Steigung im Anreicherungsfall (positive Spannungen) ab ca. 1 V für eine homogene Dotierung der Barriere.

Für Nickel als Kontaktmaterial ergibt sich ein Schnittpunkt mit der Spannungsachse bzw. eine Diffusionsspannung von $U_D = 2,9$ V, was in einer Barrierenhöhe von 2,93 eV resultiert.

4.5 FET-Strukturen

Transistorstrukturen, hergestellt aus dieser Schicht resultieren in einer maximalen Stromdichte von $I_{DS} = 1,8$ A/mm mit einer „2-terminal“ Durchbruchspannung (Kapitel 2.4.2) von $U_{DS} = 52$ V im abgeschnürten Zustand (Abbildung 4.6a). Diese Durchbruchspannung spiegelt nicht die für den RF-Fall maßgebende Spannungslimitierung („3-terminal“ Durchbruch, Kapitel 2.4.2) wieder, da sie bei abgeschnürtem Transistor ermittelt wurde, was sich bei den Leistungsmessungen zeigen wird. Für die maximalen Ausgangsströme werden Gatespannungen von bis zu $U_{GS} = +5$ V benötigt. Eine mögliche Erklärung für die benötigten hohen Steuerspannungen liegt im hohen Schichtwiderstand und den daraus resultierenden Serienwiderständen der Struktur. Speziell für große Stromdichten verursachen diese einen Spannungsabfall von bis zu 1,7 V für den Maximalstrom in den

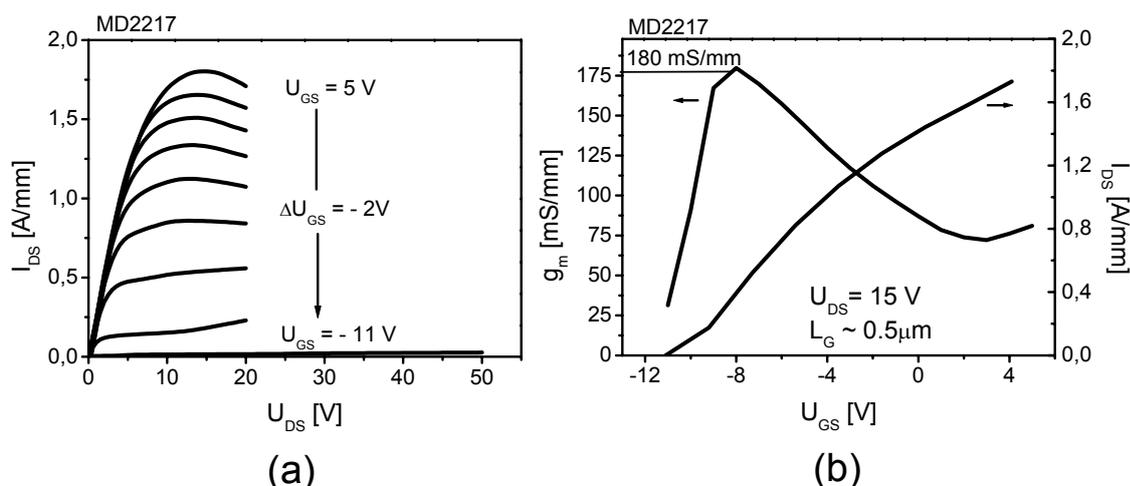


Abbildung 4.6: a) Ausgangskennlinie eines $\text{In}_{0.17}\text{Al}_{0.83}\text{N}/\text{GaN}$ -FETs ohne Passivierung. Geometriedaten: $L_G = 0,25 \mu\text{m}$, $W_G = 50 \mu\text{m}$. eine maximale Stromdichte von $1,8 \text{ A/mm}$ mit einer abgeschnürten Durchbruchspannung von 52 V wird erreicht b) Steilheitsverlauf der Ausgangskennlinie von a).

Bahngebieten, was zu höheren Gatespannungen führt. Diese Annahme wird durch einen relativ späten Übergang vom linearen in den Sättigungsbereich bei ca. 13 V (hohe Knie-spannung) verstärkt.

Durch die hohe Schichtkonzentration ist eine Abschnürspannung von $U_P = -11 \text{ V}$ zum vollständigen Vermarnen des Kanals nötig. Dabei wird eine maximale Steilheit von $g_m = 180 \text{ mS/mm}$ bei einer Gatesourcespannung von $U_{GS} = -7 \text{ V}$ ermittelt. Aufgrund der Stabilität der Schottkydioden ($U_{GD} > 60 \text{ V}$ ohne Durchbruch) ist durchaus eine Optimierung der Steilheit durch die Barriere bezüglich reduzierter Höhe der Barriere in Betracht zu ziehen, wodurch sich sowohl die Steilheit als auch die Abschnürspannung verbessert.

Abbildung 4.6b zeigt die Übertragungskennlinie und den Steilheitsverlauf der InAlN/GaN Struktur. Ein Anstieg der Steilheit für positive Gatespannungen ist nicht typisch für Transistoren. In diesem Betriebszustand sind gewöhnlicher Weise die Gateströme nicht mehr vernachlässigbar, was durch eine Reduzierung der Steilheit ersichtlich wird. Für den Fall der InAlN Transistoren kann dieses Phänomen durch die hohe Dotierkonzentration in der Barriere erklärt werden. Diese Dotierung generiert einen parallelen „Barrieren-FET“, beruhend auf dem Prinzip eines MESFETs, allerdings mit höherer Steilheit. Im Transistorbetrieb findet, je nach Arbeitspunkt, ein fließender Übergang zwischen beiden Transistoren statt.

Die Herleitung von Transistorgleichungen wurden bereits in Kapitel 2.13 dargestellt. Entsprechend Formel 2.6 für den Drainsättigungsstrom im Transistor ist dieser indirekt proportional zur Gatelänge ($I_{DS,sat} \sim 1/L_g$). Dies bedeutet, dass mit abnehmender Gatelänge der Sättigungsstrom zunimmt. Für die Herleitung der Formel wird eine konstante Beweglichkeit μ_n vorausgesetzt. Da mit abnehmender Gatelänge die maximale Feldstärke zunimmt, ist das für die Herleitung verwendete Zweibereichsmodell („Gradual Channel

Näherung“) für kleine Gatelängen nicht mehr zulässig und man kommt in Bereiche, für welche die Sättigungsgeschwindigkeit dominant wird. Dies reduziert den Einfluss der Gatelänge auf den maximalen Drainstrom. Wird die Gatelänge so stark verkürzt, dass die Sättigungsgeschwindigkeit erreicht wird, so findet keine weitere Stromerhöhung mit Verringerung der Gatelänge mehr statt und der Strom wird durch die Sättigungsgeschwindigkeit v_{sat} bestimmt. Der maximale Ausgangsstrom unter Berücksichtigung der Sättigungsgeschwindigkeit ist nach [179] wie folgt ermittelbar:

$$I_{D,\text{sat}}(L_g) = \frac{C_0 v_{\text{sat}}^2 L_g}{2\mu_n} \cdot \left(\sqrt{1 + \frac{2qn_s\mu_n}{L_g v_{\text{sat}} C_0}} - 1 \right)^2 \quad (4.4)$$

C_0 entspricht der Kapazität zwischen Gate und dem Kanal. Für die Berechnung des maximalen Drainstromes wurden die Strukturdaten, die ermittelten Daten aus der Hallmessung und eine Sättigungsgeschwindigkeit von $v_{\text{sat}} = 10^7$ cm/s verwendet. Abbildung 4.7

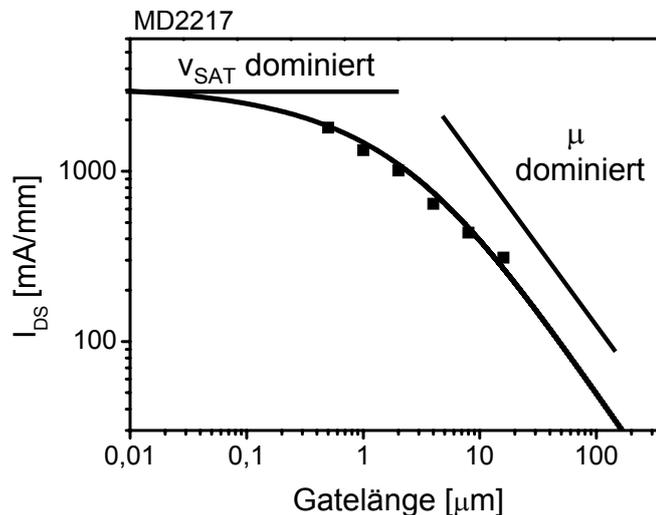


Abbildung 4.7: Die durchgezogene Linie entspricht einer Simulation des maximalen Ausgangsstromes entsprechend Formel 4.4 mit den Halldaten. Für die Sättigungsgeschwindigkeit wurde ein $V_{\text{sat}} = 2 \cdot 10^7$ cms⁻¹ verwendet. Die abgebildeten Punkte sind Messwerte für Transistorstrukturen mit verschiedenen Gatelängen ($U_{\text{GS}} = 5$ V, U_{DS} von I_{max}).

zeigt den theoretisch errechneten maximalen Ausgangsstrom zusammen mit Messwerten für verschiedene Gatelängen. Die Messpunkte wurden dabei für Gatelängen zwischen 0,5 und 16 μm immer an einer Gate-Source-Spannung von +5 V bei einer Drainspannung des maximalen Ausgangsstromes durchgeführt.

In diesem Vergleich sind eindeutig zwei unterschiedlichen Bereiche erkennbar. Für kleine Gatelängen dominiert die Geschwindigkeitssättigung während der maximale Ausgangsstrom für große Gatelängen von der Beweglichkeit bestimmt wird. Eine Übereinstimmung der simulierten und experimentellen Daten ist zu erkennen. Dabei sind theoretisch Gleichstromdichten von bis zu 3 A/mm für Gatelängen von 10 nm möglich. Wird eine 60 nm Standarttechnologie zugrunde gelegt ergeben sich bereits Ausgangsströme von 2,8 A/mm. Mit einer Zunahme der Beweglichkeit können diese Ströme auch für größere Gatelängen

erreicht werden.

Eine Absenkung der Halbleitertemperatur reduziert wesentlich die Streuung der Elektronen, wodurch für diese eine Erhöhung der Beweglichkeit erwartet wird. Da sich die InAlN-Transistoren in einem Übergangsbereich, bei welchem sowohl Beweglichkeit als auch die Sättigungsgeschwindigkeit für den maximalen Ausgangsstrom nicht vernachlässigbar sind, wird eine geringe Erhöhung des maximalen Ausgangsstrom I_{DS} durch Abkühlen der Transistorstruktur erwartet.

Dazu wird in Abbildung 4.8 eine gemessene Ausgangskennlinie bei einer Substrattempe-

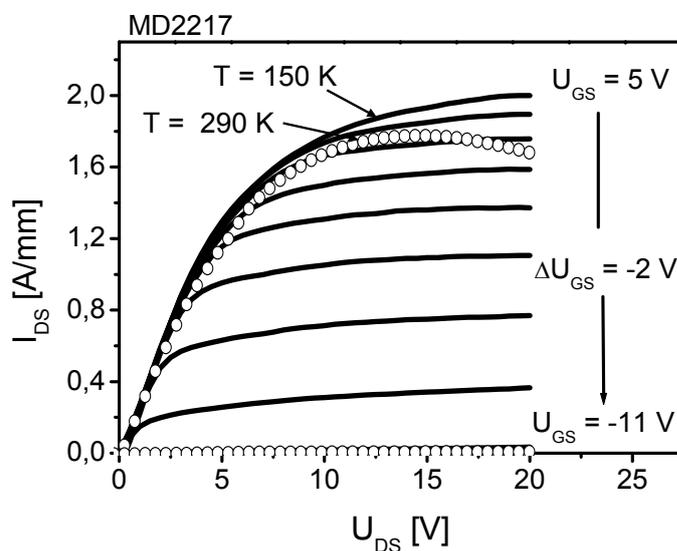


Abbildung 4.8: Gemessene Ausgangskennlinie eines $\text{In}_{0.17}\text{Al}_{0.83}\text{N}/\text{GaN}$ -FETs mit einer Substrattemperatur von 150 K. Blau ist die Kennlinie bei Raumtemperatur. Transistordaten: $W_G = 50 \mu\text{m}$, $L_G = 0,25 \mu\text{m}$

ratur von 150 K dargestellt. Gestrichelt überlagert sind die Kennlinien des offenen/abgeschnürten Zustandes bei Raumtemperatur. Wie ersichtlich ergibt sich eine erhöhte Drain-Source Sättigungsstromdichte von 2,1 A/mm für den gekühlten Transistor im Vergleich zum Transistor bei Raumtemperatur. Die Abschnüreeigenschaften bleiben nahezu konstant. Die maximale Steilheit ist auf $g_m = 192 \text{ mS/mm}$ gestiegen. Entgegen den Erwartungen deuten vergleichbare Steigungen der Ausgangskennlinien im linearen Bereich auf eine nicht erhöhte Beweglichkeit. Die Stromzunahme ist durch eine Verringerung der Selbsterwärmungseffekte erzielt worden, welche den negativen Stromgradient für große Drainspannungen unterdrückt.

4.6 Kleinsignalmessungen in InAlN-FETs

Abbildung 4.9 zeigt eine Kleinsignalmessung eines $\text{In}_{0.17}\text{Al}_{0.73}\text{N}/\text{GaN}$ -Transistors im Klasse A-Arbeitspunkt ($U_{\text{DS}} = 15 \text{ V}$, $U_{\text{GS}} = -6 \text{ V}$). Ein Klasse A-Arbeitspunkt wird bewusst für die Kleinsignalmessung gewählt, da an diesem Arbeitspunkt auch die Leistungsmessungen durchgeführt werden. Zusätzlich befindet sich hier das Steilheitsmaximum der Transistorstruktur.

Dargestellt werden maximal verfügbarer Gewinn (MAG), die Stromverstärkung H_{21} und der Stabilitätsfaktor (k). Zusätzlich werden die Grenzen der unbedingten Stabilität ($k=1$) und der theoretische Abfall der Verstärkung in Form eines Tiefpasses erster Ordnung (20 dB/Dek) dargestellt. Entsprechend des Stabilitätsfaktors ist das Bauteil für Frequenzen unterhalb 300 MHz nicht unbedingt stabil. Eine maximale Leistungsverstärkung ist bis zu Frequenzen von $f_{\text{MAX}} = 14 \text{ GHz}$ möglich. Das Verstärkungsbandbreiteprodukt ergibt sich zu $f_t = 26 \text{ GHz}$. Entsprechend theoretischer Betrachtungen fällt die Verstärkung mit einer Steigung von 20 dB pro Dekade (Tiefpaß erster Ordnung) ab. Der nicht monotone Verlauf der Kennlinien ist häufig auf das Material zurückzuführen. Dabei können z.B. Lade bzw. Entladevorgänge von Defekten ein Tiefpaßverhalten verursachen. Desweiteren sind parasitäre Elemente der eigentlichen FET-Strukture nicht zu vernachlässigen. In dieser Arbeit ist anzunehmen, dass ein dominierender Anteil durch das leitfähige Siliziumsubstrat und oder einem leitfähigen Puffer verursacht wird.

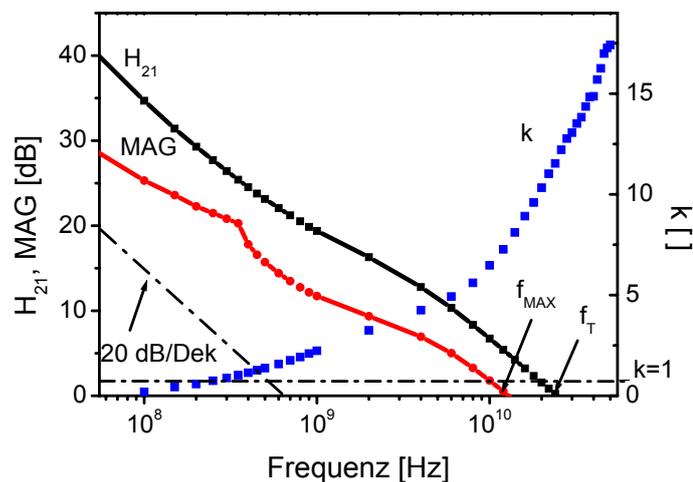


Abbildung 4.9: Kleinsignalmessung eines $\text{In}_{0.17}\text{Al}_{0.73}\text{N}/\text{GaN}$ -Transistors. $L_G = 0,25 \mu\text{m}$, $W_G = 200 \mu\text{m}$, $U_{\text{DS}} = 15 \text{ V}$, $U_{\text{GS}} = -6 \text{ V}$. Dargestellt sind der MAG und H_{21} . Zusätzlich wird der Rollet'sche Stabilitätsfaktor k und eine Dämpfung erster Ordnung (20 dB pro Dekade) aufgezeigt. Zur Ermittlung des stabilen Transistorbetriebes wird der Grenzwert $k = 1$ dargestellt.

Insbesondere wird diesen Einflüssen ein kleineres f_{MAX} im Vergleich zu f_t angerechnet. [100]. Während f_T vornehmlich über die Gate-Sourcekapazität bestimmt wird [86],

wirkt bei f_{MAX} die Gate-Drainkapazität mit. Diese sonst vernachlässigbare Kapazität kann durch eine Hintergrundleitfähigkeit stark zunehmen, weshalb f_{MAX} negativ beeinflusst wird. Erklärt werden kann die Zunahme der Gate-Drainkapazität durch die diversen vergrabenen Niedertemperatur-Schichten im Puffer, wie sie in Kapitel 3.1 beschrieben wurden. Dadurch findet eine hochfrequente kapazitive Kopplung zwischen Kanal und induzierten Ladungsträgern statt, welche das zu verstärkende Signal dämpft. Für die hier verwendete Transistorstruktur kommt noch erschwerend hinzu, dass die Gate-Drain-Kapazität durch die Kontaktierungspads, welche ein vielfaches an Größe im Vergleich zum Kanal besitzen, und korrelierend auch den Wert der Gate-Drain Kapazität erhöhen, vorhanden sind.

Zur Ermittlung der intrinsischen Transistorgrößen wurde versucht, ein Kleinsignal-Ersatzschaltbild zu generieren. In diesem Falle wurde dabei auf das Ebers Moll Modell zurückgegriffen. Leider ist es nicht gelungen, dieses Modell anzupassen. Grund hierfür sind die Kontaktflächen (Kontaktpads) des Transistors. Diese stellen durch ihre kapazitive Kopplung mit dem Siliziumsubstrat eine erhöhte externe Drain-Sourcekapazität dar. Dieser Einfluss wurde bereits durch ein reduziertes f_{max} im Vergleich zu f_T der Kleinsignalmessungen ersichtlich. Sein Einfluss auf das Kleinsignalerersatzschaltbild ist nicht zu vernachlässigen, weshalb mit Ebers Moll keine Lösung gefunden wurde.

4.6.1 Leistungsmessung in InAlN

Wichtige Kenngrößen bei Leistungsmessungen sind die Linearität, die lineare Verstärkung (Gain), die maximale Ausgangsleistung ($P_{\text{Out,Max}}$) und die Effizienz („Power Added Efficiency“, PAE). Die Linearität spiegelt Variationen der Steilheit für verschiedene Arbeitspunkte wieder. Die maximale Ausgangsleistung entspricht der vom Transistor real abgegebenen Leistung im Frequenzbereich der Anregung des Transistors. Wird dieser übersteuert, was auch als Klippen bezeichnet wird, so entstehen hochfrequente Anteile in der abgegebenen Ausgangsleistung, welche das Ausgangssignal energetisch erhöhen. Diese sogenannten Intermodulationsprodukte können mit Hilfe eines Spektrumanalysators sichtbar gemacht werden. Mit Hilfe eines Bandpasses können diese Verfälschungen vom eigentlichen Nutzsignal getrennt werden.

Neben der maximalen Ausgangsleistung ist auch die Verstärkung von Interesse. Für sie bestehen mehrere Definitionen[187]:

1. *Verfügbare (Leistungs-) Gewinn (available power gain)*: Das Verhältnis aus verfügbarer Leistung des DUT (Device under Test) zu verfügbarer Leistung der ansteuernden Quelle.

2. *Übertragungsgewinn (transducer power gain)*: Das Verhältnis aus tatsächlich aus dem DUT in die Last fließender Leistung zu verfügbarer Leistung der Originalquelle.
3. *Effektiver (Leistungs-) Gewinn (effective power gain)*: Das Verhältnis aus tatsächlich aus dem DUT in die Last fließender Leistung zu tatsächlich aus der ansteuernden Quelle in das DUT fließender Leistung.
4. *Einfügungsgewinn (insertion power gain)*: Das Verhältnis aus tatsächlich aus dem DUT in die Last fließender Leistung zu der Leistung, welche die ansteuernde Quelle direkt, also ohne Zwischenschaltung des DUTs, in die Last abgeben würde.

In der Leistungsmessung wird der effektive Leistungsgewinn gemessen. Dieser darf nicht mit dem MAG der Kleinsignalmessungen verwechselt werden. Hierfür gibt es zwei Gründe. Zum einen geht der MAG von einer optimal angepassten Last aus, was für den effektiven Leistungsgewinn nicht immer der Fall ist. Außerdem kann der MAG nur einen kleinen Teil der Kennlinie betrachten. Gewöhnlicher Weise wird für die Kleinsignalmessung der Bereich der maximalen Steilheit gewählt. Da diese für die Grenzen des offenen bzw. abgeschürten Kanals abnimmt, differieren effektiver Leistungsgewinn und MAG zusätzlich. Dabei ist der MAG immer gleich groß oder größer als der effektive Leistungsgewinn. Die Effizienz ermittelt sich aus der vom Transistor abgegebenen RF-Leistung, normiert auf sämtliche ihm zugeführten Leistungen. Entsprechend der Definition kann die PAE wie folgt ermittelt werden:

$$PAE = \frac{P_{Out}}{P_{DC, Gate} + P_{DC, Drain} + P_{RF, Gate}}. \quad (4.5)$$

Dabei entsprechen P_{Out} der am Transistor abgegebenen RF-Leistung, $P_{DC, Gate}$ der am Gate zugeführten Gleichstromleistung, $P_{DC, Drain}$ der am Drain zugeführten Gleichstromleistung und $P_{RF, Gate}$ dem RF-Generator am Gate.

Für die Leistungsmessung wird ein Leistungsmessplatz entsprechend Abbildung 4.10 verwendet. Dabei wird das Eingangssignal über einen direktionalen Koppler auf den zu charakterisierenden Transistor (DUT) gegeben. Das Ausgangssignal des Transistors (P_{OUT}) wird über einen direktionalen Koppler aufgeteilt, wobei ein Teil auf ein Leistungsmessgerät zur Detektion der Ausgangsleistung (P_{Mes}) geführt wird und ein um 10 dB gedämpfter Teil auf ein Samplingoszilloskop gegeben wird.

Um das Potential des Transistors völlig auszunutzen müssen sowohl der Eingang als auch der Ausgang auf den 50Ω Wellenwiderstand der umgebenden Leitungen angepasst werden. Dies wird mit Hilfe von Impedanzwandlern („Tuner“) an beiden Seiten des DUTs durchgeführt und ist für den Ausgang des DUTs schematisch in Abbildung 4.11 dargestellt. Abbildung 4.11 zeigt dabei schematisch zwei Lastgeraden am Ausgang eines DUTs. Für eine optimale Anpassung muss das Produkt aus Spannungshub (ΔU) und Stromhub (ΔI) maximal sein. Eindeutig ersichtlich ist ein erhöhtes ΔU für die angepasste

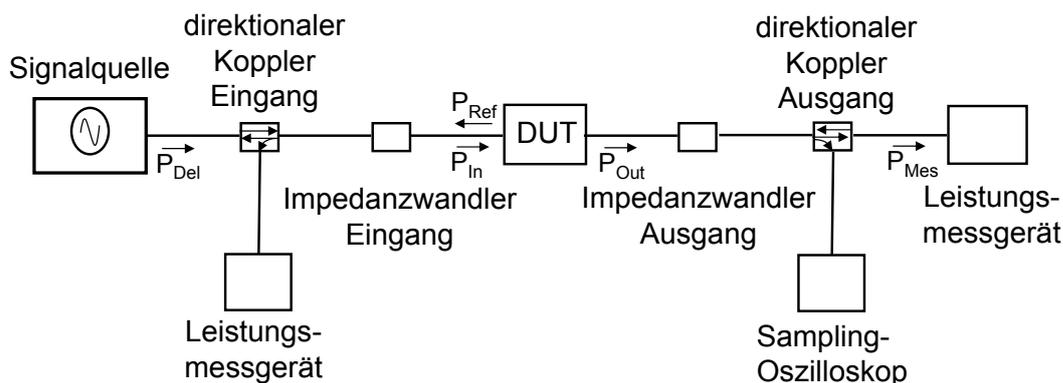


Abbildung 4.10: Schematische Darstellung des RF-Pfades des aufgebauten Leistungsmessplatzes. P_{Del} = abgegebene Leistung der Quelle, P_{Ref} = reflektierte Leistung am DUT, P_{In} = aufgenommene Leistung des DUT, P_{Out} = abgegebene Leistung des DUT, P_{Mes} = gemessene Ausgangsleistung.

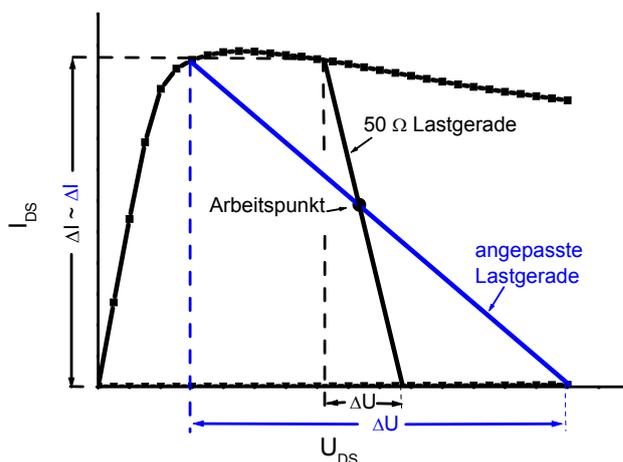


Abbildung 4.11: Schematische Darstellung zweier Lastgeraden an einem Transistor.

Lastgerade. Dagegen scheint der Stromhub ΔI für beide Anpassungen nahezu unverändert zu sein. In diesem Fall erhöht sich die Ausgangsleistung fast ausschließlich durch eine Zunahme des Spannungshubes ΔU .

Für einen fehlangepassten Transistor verändert sich, abhängig von der Transistorgröße, der Stromhub bzw. der Spannungshub für eine ideale Anpassung. Der dargestellte Fall spiegelt einen Transistor mit kleiner Gatelänge wieder. Bei Leistungstransistoren großer Gateweite wird durch eine Anpassung der Spannungshub erhöht.

Ein Abschluss aller sonstigen Leitungen mit dem Wellenwiderstand verhindert eine Rückstreuung von Leistung in den Ausgang des Transistors.

Um die Gleichstromversorgung zu ermöglichen sind sowohl am Eingang als auch am Ausgang Gleichstrom-Wechselstromkoppler („Bias“) verwendet worden, welche sowohl den Gleichstrom- als auch den hochfrequenten Stromanteil zusammenführen bzw. diese

voneinander separieren kann. Da diese Bauteile keinen Einfluss auf den Hochfrequenzpfad besitzen, sind sie nicht explizit in Abbildung 4.10 aufgeführt worden.

Die Detektion der Ausgangsleistung beruht auf einem passiven Leistungsmessgerät weshalb man diese Messmethode auch „passive Leistungsmessung“ nennt.

Mit diesem Aufbau kann keine Phasenbeziehung zwischen Signalquelle und Leistungsmessgeräte bestimmt werden.

Die Leistungsmessung erstreckt sich über zwei Bereiche:

1. Linearer Bereich:

Im linearen Bereich sind die Eingangsleistungen am Gate des DUTs so gering, dass die Auslenkungen des Transistor im RF-Betrieb um seinen Arbeitspunkt linearisiert werden können. In diesem Leistungsbereich werden Kleinsignalmessungen durchgeführt. Die Leistungsverstärkung für verschiedene Eingangsleistungen ist in diesem Bereich konstant. Dagegen nimmt der PAE mit steigender Eingangsleistung am Gate zu. Dies ist dadurch möglich, dass der Transistor noch nicht an seinen Betriebsgrenzen arbeitet und der Arbeitspunkt bzw. die damit verbundene aufgenommene DC-Leistung nahezu unverändert bleibt.

2. Sättigungsbereich:

Im gesättigten Bereich wird der Transistor völlig angesteuert. Wird die Leistung des Eingangssignal weiter erhöht, so kann der Transistor diesem an seinem Ausgang nicht mehr folgen. Dies wird auch als „Klippen“ bezeichnet. Ersichtlich wird dies durch eine nahezu konstante Ausgangsleistung bei variierender Eingangsleistung. Die Verstärkung und der PAE sinken mit zunehmender Eingangsleistung.

Der Übergang vom linearen in den Sättigungsbereich vollzieht sich fließend. Die Verstärkung nimmt bereits vor Erreichen der maximalen absoluten Ausgangsleistung ab, da sich das Steilheitsmaximum gewöhnlicher Weise in der Nähe des Klasse A-Arbeitspunktes befindet und für die Grenzen des Transistorbetriebes (offener bzw. abgeschnürter Kanal) reduziert. Außerdem kann bei Wahl eines nicht symmetrischen Arbeitspunktes (nicht in der Mitte der Kennlinie, z.B. Klasse AB-Arbeitspunkt) der Übergang bzw. die Steigung der Gewinnachse verzerren, da der Transistor frühzeitig an eine seiner Betriebsgrenzen stößt. In Abbildung 4.12 wird die Leistungskurve eines InAlN/GaN-Transistor mit 17 % Indium in der Barriere gezeigt. Bei einem Klasse A-Arbeitspunkt und einer Drain-Sourcespannung von $U_{DS} = 24$ V, einer Gate-Sourcespannung von $U_{GS} = -3,8$ V und Transistorgeometriedaten von $L_G = 0,25$ μm , $W_G = 100$ μm und einer Frequenz $f = 2$ GHz ergibt sich eine gesättigte Ausgangsleistungsdichte von 4,1 W/mm mit einem linearen Gewinn von 11 dB. Der epitaktische Unterbau dieser Struktur, bestehend aus Puffer und Substrat, ist identisch zu dem bereits behandelten AlGaIn/GaN-FETs. Folglich leidet auch dieser Aufbau unter der existierenden Parallellleitfähigkeit für hohe Frequenzen.

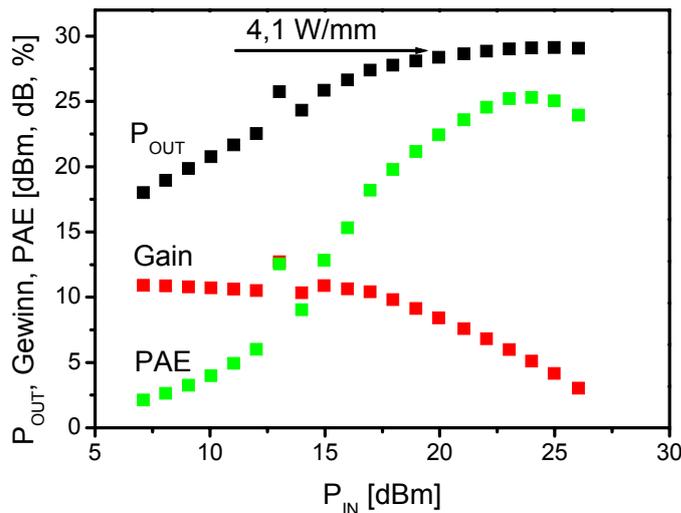


Abbildung 4.12: Leistungskurve eines $\text{In}_{0,17}\text{Al}_{0,83}\text{N}/\text{GaN}$ -FETs im Klasse A Arbeitspunkt. $W_G = 100 \mu\text{m}$, $L_G = 0,5 \mu\text{m}$, $U_{DS} = 24 \text{ V}$, $U_{GS} = -3,8 \text{ V}$, $f = 2 \text{ GHz}$.

Abbildung 4.13 zeigt die DC-Ausgangskennlinie des InAlN/GaN-Transistors mit Last-

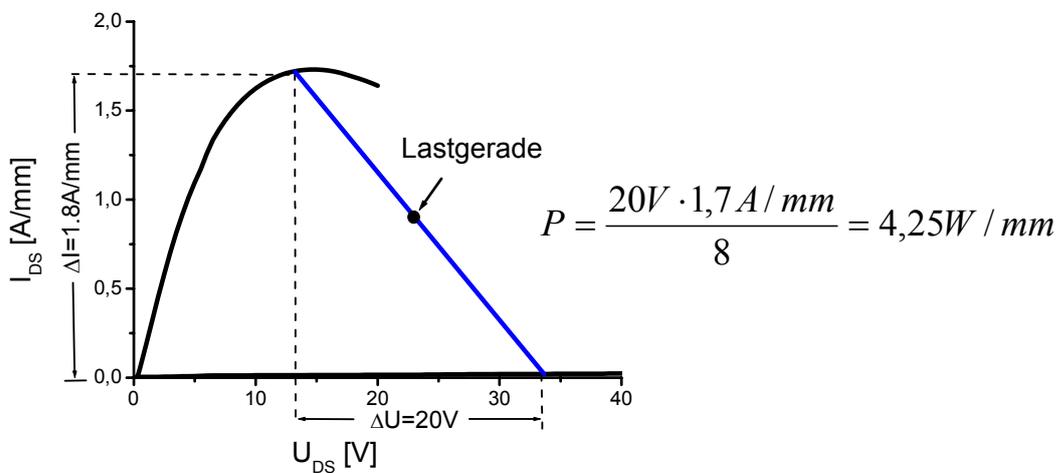


Abbildung 4.13: Das DC-Ausgangskennlinienfeld des InAlN/GaN-FETs mit eingezeichneter Lastgerade und Arbeitspunkt der Leistungsmessung.

gerade und Arbeitspunkt. Der der „3-terminal“ Durchbruch wurde bereits für Drain-Source Spannungen von ca. 35 V experimentell ermittelt. Dazu wurde die Drain-Source-Spannung mit idealer Anpassung während des RF-Betriebes bis zum Durchbruch erhöht. Anschließend kann anhand des bekannten Arbeitspunktes und der Lastgerade eine Durchbruchspannung ermittelt werden, wie dies in Abbildung 4.13 dargestellt ist. Die reduzierte RF-Drain-Durchbruchspannung verhindert die Verwendung des gesamten DC-Kennlinienfeldes für die hochfrequente Leistungsverstärkung.

4.7 Dispersion in InAlN/GaN-FETs

Neben Gruppe III-Nitriden weisen auch andere Halbleitertransistoren einen dispersiven Charakter auf. So wird z.B. bei unpassivierten GaAs-FETs eine Kleinsignaldispersion festgestellt. In dieser Arbeit werden ausschließlich dispersive Charaktere beruhend auf dem Virtuellen Gate (Kapitel 2.5) untersucht. Diese Art der Dispersion ist im Großsignalverhalten zu erkennen und kann sowohl im Zeitbereich als auch im Frequenzbereich auftreten. Durch die Wahl eines ungeeigneten Arbeitspunktes und/oder ungeeigneten Messmethode können Bauteile als quasi stabil charakterisiert werden, was real nicht stimmt. So weisen z.B. Gruppe III-Nitride bei Kleinsignalmessungen keinerlei Dispersion auf.

Es wird klar, dass, um eine Aussage über dispersiven Charakter treffen zu können, ein ganzes Spektrum an Messungen durchgeführt werden muss.

In diesem Abschnitt werden InAlN-Strukturen sowohl im Zeit- als auch im Frequenzbereich auf ihre Stabilität untersucht. Alle Untersuchungen werden an unpassivierten Strukturen durchgeführt.

In einer ersten Messung wird die Frequenzdomäne betrachtet. Dazu wird eine frequenz-

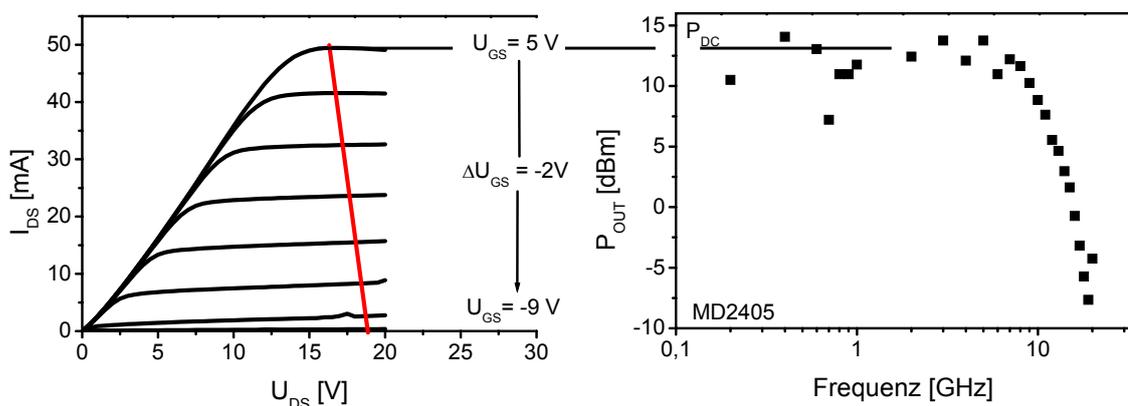


Abbildung 4.14: Links: Gemessene Ausgangskennlinie eines In_{0.17}Al_{0.83}N/GaN-FETs mit interpolierter RF-Leistung, Rechts: Gemessene Ausgangsleistung über die Frequenz.

abhängige Leistungsmessung in einer 50 Ω Umgebung und einem Klasse A-Arbeitspunkt ($U_{DS} = 17$ V, $U_{GS} = -1$ V) durchgeführt. Abbildung 4.14 zeigt die gemessene Ausgangskennlinie zusammen mit der ermittelten gesättigten Ausgangsleistung für einen Frequenzbereich von 100 MHz bis 20 GHz. Dabei wird anhand der Ausgangskennlinie und der Lastgeraden eine theoretisch maximale RF-Ausgangsleistung abgeschätzt. Bis zu einer Frequenz von 10 GHz stimmen die interpolierte RF-Leistung und die gemessene Ausgangsleistung überein. Ein anschließender Einbruch kann mit Kleinsignalmessungen (Abbildung 4.9) begründet werden. Ab diesem Frequenzbereich erreicht die Grosssignalverstärkung eine gleiche Größenordnung wie die Kleinsignalverstärkung. Eine reduzierte Ausgangsleistung liegt in einer limitierten Sättigungsgeschwindigkeit der Ladungsträger, welche bei hohen Frequenzen aufgrund ihrer Transitzeit den Kanal nicht mehr bzw. redu-

ziert durchqueren können.

Es gilt festzuhalten, dass für den gewählten Arbeitspunkt im Frequenzbereich derzeit keine Dispersion bestimmt werden konnte.

In einem weiteren Schritt wird die Zeitdomäne untersucht. Dabei werden Schaltexperimente vom abgeschnürten Zustand (Klasse C-Arbeitspunkt) in einen offenen Kanal durchgeführt und die Stromtransiente entsprechend Kapitel 2.5 bestimmt. Für diese Messung wird zum Belasten des Bauteils bewusst ein abgeschnürter Kanal als Arbeitspunkt gewählt, da hier die Aufladefekte des Virtuellen Gates am größten sind. Um die durch das Virtuelle Gate verursachte Stromkompression sichtbar zu machen wird der Kanal anschließend ganz aufgesteuert, dass der Strombegrenzer „Virtuelles Gate“ limitieren kann und nicht die Gate Steuerelektrode limitierend ist.

Da die Stromtransiente in dispersiven Bauteilen von der Gate-Drainspannung beein-

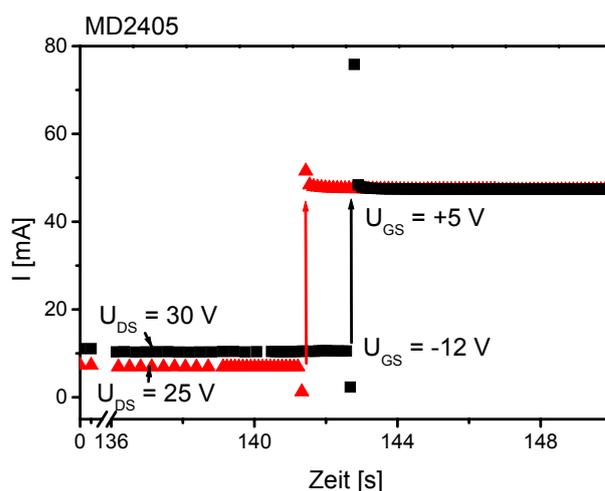


Abbildung 4.15: Schaltexperimente an einer InAlN/GaN-Struktur. Geschaltet wird von einem Klasse C-Arbeitspunkt ($U_{GS} = -12 \text{ V}$) in einen offenen Kanal-Arbeitspunkt ($U_{GS} = +5 \text{ V}$). Im Schaltexperiment wird die Drainspannung ebenfalls reduziert. Zwei Stromtransienten für unterschiedliche Drain-Source-Spannungen sind dargestellt ($U_{DS} = 25/30 \text{ V}$ geschaltet auf $U_{DS} = 15 \text{ V}$).

flusst wird, werden zwei Messung mit unterschiedlichem U_{GD} durchgeführt. Ferner tritt der dispersive Effekt verstärkt nach einem langen Betrieb mit hoher Gate-Drainspannung auf, weshalb für das Experiment eine Gate-Drainspannung von $U_{GD} = 37 \text{ V}$ bzw. 42 V für zwei Minuten angelegt wird. Anschließend wird in einen Arbeitspunkt mit offenem Kanal ($U_{GS} = +5 \text{ V}$) geschaltet. Da die Verlustleistung bei offenem Kanal das Bauteil zerstört, wird simultan im Schaltereignis die Drainspannung auf $U_{DS} = 15 \text{ V}$ reduziert. Während der gesamten Zeit wird der Drainstrom aufgezeichnet.

Abbildung 4.15 zeigt die Ergebnisse der Schaltexperimente. Unabhängig von dem gewählten Klasse C-Arbeitspunkt ($U_{DS} = 25$ oder 30 V) wird nach dem Schaltereignis der DC-Strom (ersichtlich in Abbildung 4.14) instantan erreicht. Ein kurzzeitiger negativer

Stromtransient im Anschluß an das Schaltereignis wird Selbsterwärmungseffekten zugeschrieben. Ein verzögertes Einschaltverhalten bzw. positiver Stromtransient über die Zeit, wie es bei dispersiven Bauteilen der Fall ist, kann nicht festgestellt werden. Es ist keine Abhängigkeit von der angelegten Gate-Drainspannung erkennbar. Diese Messung zeigt, dass in dem betriebenen Arbeitspunkt das Bauteil im Zeitbereich keine dispersiven Effekte aufweist.

Zusammenfassend kann festgestellt werden, dass die Transistoren in einem Bereich von Nanosekunden (gemessen im Frequenzbereich) bis zu mehreren Sekunden (gemessen im Zeitbereich) derzeit keine Instabilitäten an den durchgeführten Messungen aufweisen. Folglich haben alle Messungen keinen dispersiven Charakter an der untersuchten InAlN/GaN-Struktur aufgezeigt. Es gilt allerdings auch, dass dies kein Beweis für die unbedingte Stabilität dieser Bauteile bedeutet. Durch erhöhte Anforderungen können altbekannte Phänomene durchaus wieder auftreten.

Kapitel 5

RF–Leistungsanwendungen

Gruppe III–Nitridtransistoren besitzen Ihr Potential im Bereich der hochfrequenten Leistungsverstärkung. Dabei sind neben hohen Leistungsdichten auch eine Skalierung der Transistorgröße und ihrer Gateweite von besonderer Wichtigkeit. Im folgenden Kapitel werden die hierzu nötigen Vorgehensweisen erläutert. Aufgrund des Materialvorsprunges der AlGaIn/GaN–Transistoren bezüglich Reproduzierbarkeit und Homogenität des Wafers gegenüber den InAlN/GaN–Transistoren wird in den nun folgenden Ausarbeitungen ausschließlich dieses Material verwendet.

5.1 Thermische Dimensionierung / Thermisches Design der Transistoren

Der absolute Ausgangsstrom und die damit gekoppelte Ausgangsleistung hängt von der realisierten Transistorgateweite ab. Für kleine Transistoren skaliert der Ausgangsstrom direkt mit der Gateweite. Wird diese zunehmend erhöht, so verliert sich die lineare Beziehung zwischen Gateweite und Ausgangsstrom. Für die Herstellung von Leistungstransistoren kann deshalb nicht einfach die Gateweite vergrößert werden. Praktisch stellen sich folgende Limitierungen ein.

Die Kanaltemperatur steigt mit Zunahme der Gateweite durch eine erhöhte absolute Verlustleistung ebenfalls an [82]. Bei Gateweiten von 200 μm werden bereits Kanaltemperaturen von 180 °C bei aufgesteuertem Kanal auf thermisch hoch leitfähigen SiC–Substraten gemessen [83]. In dieser Arbeit werden Siliziumsubstrate mit einer viermal geringeren Wärmeleitfähigkeit als die des SiC verwendet. Zusätzlich sind die bei diesem Wachstum nötigen Niedertemperatur AlN–Schichten schlechte Wärmeleiter (1,5 W/mK [84]), welche allerdings aufgrund ihrer geringen Dicke von wenigen Nanometer nicht den ganzen Aufbau in seiner thermischen Leitfähigkeit limitieren [180]. Allerdings wurde bei

vergleichbaren Transistoren mit Niedertemperatur–AlN–Schichten auf Siliziumsubstrat bereits im Pulsbetrieb mit einer Pulsdauer von 400 ns bei gleichem gepulsten Arbeitspunkt eine Kanaltemperatur von 190 °C [85] ermittelt. In beiden Messungen wurden T–Strukturen, also einzelne frei stehende Gatestrukturen verwendet. Die ermittelten Temperaturerhöhungen können durch ein ungeschicktes Layout zusätzlich zunehmen, wenn z.B. durch die Verteilung mehrerer Verlustquellen nebeneinander, der Wärmeabtransport nur reduziert möglich ist. Durch diese unerwünschte Erwärmung sinkt die Beweglichkeit im Material und beeinflusst die Transistoreigenschaften negativ.

Neben einer verstärkten Eigenerwärmung spielen die Gatewiderstände mit zunehmender Gateweite eine immer größere Rolle. Verursacht durch die kleinen Gatelängen von Größen bis zu 150 nm nimmt der Widerstand längs des Gates merklich zu. Vor allem im Hochfrequenzverhalten schlägt sich der Gatewiderstand negativ in der Verstärkung nieder [86].

Parallele–Finger:

Um eine effektiv große Gatelänge mit niederem Gatewiderstand zu erhalten wird das eigentliche Gate in mehrere kleine aufgeteilt. Abbildung 5.3 zeigt einen 10–fach Multifinger Transistor. In diesem Design kann eine Erhöhung der effektiven Gateweite mit einer Zunahme der Fingerzahl bzw. einer Verlängerung der einzelnen Finger erzielt werden. Dabei ist die maximale Gateweite für jeden einzelnen Finger abhängig von der Signalfrequenz des Bauteils. Der Gate–Gate–Abstand (Gate–Gate Pitch) wirkt sich entscheidend auf die Verlustleistungsdichte aus. Diese muss derart gewählt werden, dass die Verlustleistung ausreichend abgeführt werden kann. Vorteile dieses Designs gegenüber einer simplen Skalierung eines einzelnen Transistors sind reduzierte Gatewiderstände und eine geringere Kanaltemperatur aufgrund der verteilten Geometrie. Dabei muss erwähnt werden, dass die Vorteile durch einen erhöhten Platzbedarf erzielt wurden.

Das vorgestellte Vielfingerkonzept besteht aus insgesamt zehn kleinen Transistoren, welche jeweils am Gate, Drain und Source kontaktiert werden müssen. Aus Platzgründen kann nur das Gate und das Drain über jeweils eine gemeinsame Zuleitung verbunden werden. Um die gesamte Struktur wie bisher mit nur drei Anschlüssen zu vermessen, müssen alle Source–Kontaktflächen der einzelnen Finger miteinander verbunden werden. Dies kann entweder mittels eines Rückseitenkontaktes, welcher über Durchkontaktierungen („Via Holes“) kontaktiert wird, oder mit Hilfe einer Luftbrückentechnologie („Airbridge Technology“) realisiert werden. Da die Luftbrückentechnologie unabhängig vom verwendeten Substrat ist, und somit flexibler eingesetzt werden kann, wird diese Technologie bevorzugt.

Die Dimensionierung und Anordnung der Luftbrücken spielt eine wichtige Rolle. So ist eine gute Masseanbindung essentiell wichtig, um die großen Ströme ohne Potentialabfall ableiten zu können. Da die über die aktive Region geführten Flächen aus kapazitiven Gründen minimal gehalten werden sollen, müssen, um die Serienwiderstände gering zu halten, die Brücken mehrere Mikrometer dick sein. Dies erhöht zusätzlich ihre mechanische Stabilität.

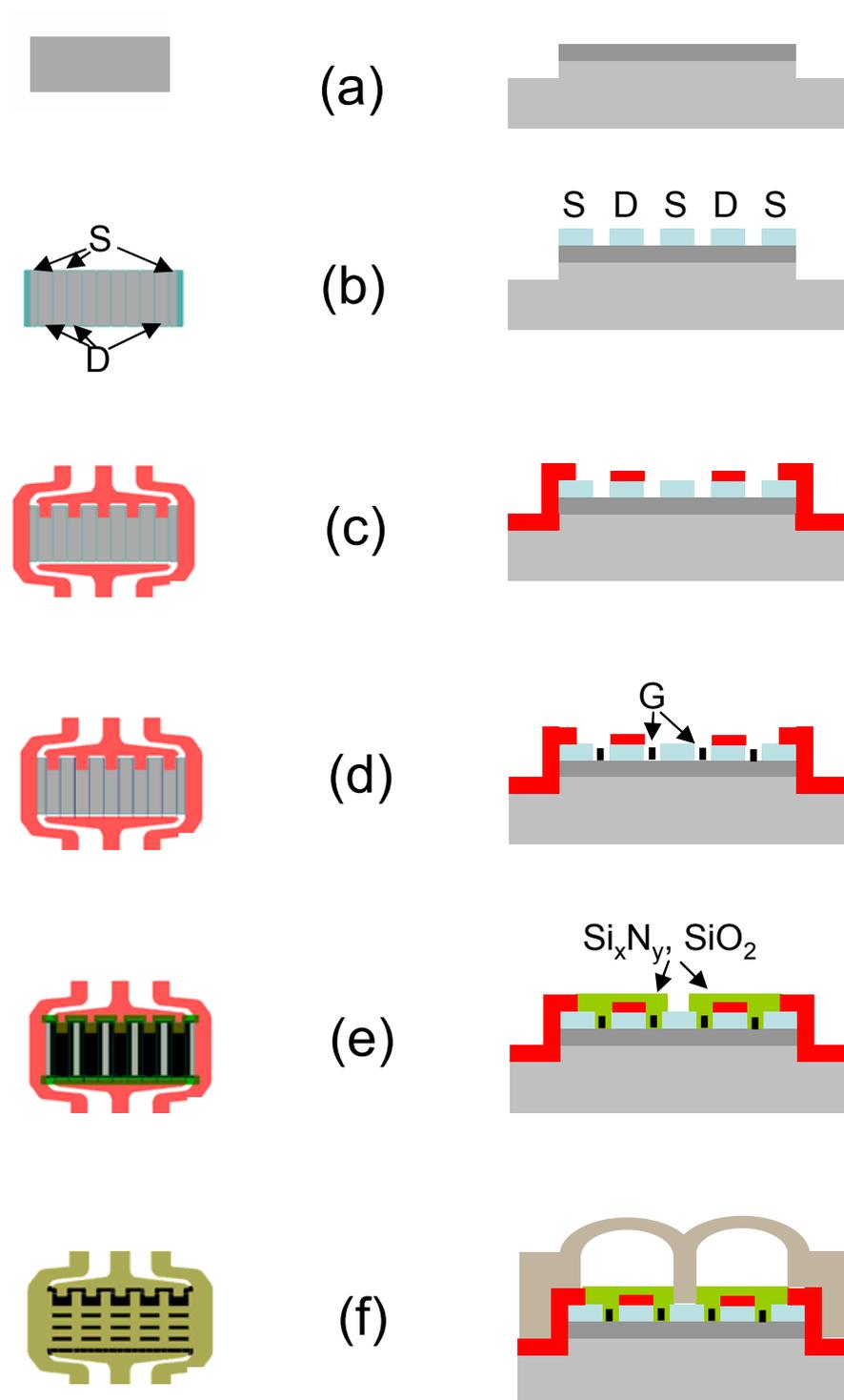


Abbildung 5.1: Schematischer Aufbau aus einer Draufsicht (links) und Seitenansicht (rechts). Die Prozessschritte sind a) MESA ätzen b) Ohmsche Kontakte c) Zuleitungen abscheiden d) Gates e) Passivierung f) Luftbrückentechnologie.

5.1.1 Luftbrückentechnologie

In der Luftbrückentechnologie werden die einzelnen Source–Kontaktflächen der Finger mit Hilfe eines Metalls über Luftbrücken verbunden. Um eine kapazitive Kopplung aufgrund von Überführungen des Sourcepotentials über die aktive Region so gering wie möglich zu halten ist es nicht ausreichend, das Metall direkt auf einem Isolator abzuscheiden. Deshalb werden die Source–Metallverbindungen in Form von mehreren Mikrometer hohen freistehenden Brücken hergestellt.

Die Höhe der Brücke kann mit Hilfe eines Abstandshalters in Form eines Stützlackes rea-

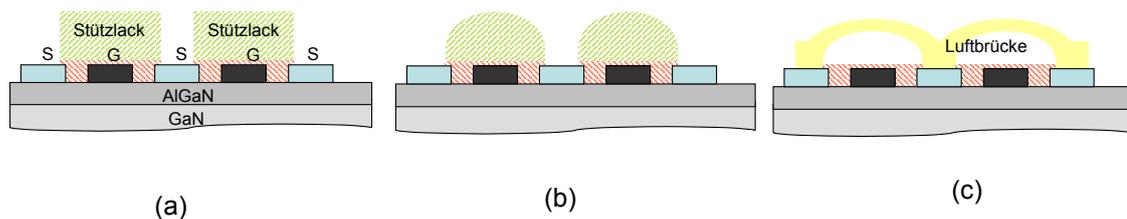


Abbildung 5.2: Schematische Darstellung der Luftbrückentechnologie: a) Kontakte mit Stützlack, b) Nach Temperschritt, c) Luftbrücke nach Entfernen des Stützlackes.

liert werden, welcher mit einer Dicke von ca. $60\ \mu\text{m}$ aufgebracht und strukturiert wird (Abbildung 5.2 a). Seine scharfen Kanten können zu Unterbrechungen der Metallisierung führen, weshalb diese durch einen Temperschritt abgerundet werden (Abbildung 5.2 b). Die eigentliche Metallisierung (Abbildung 5.2 c), in unserem Fall Gold, wird nach einer aufgedampften Kontaktschicht (Titan als Haftvermittler, Gold zur Oxidationsvermeidung) galvanisch aufgebracht. Bei der Galvanik können zwei Verfahren angewendet werden:

1. Partielle Galvanik

Die Startschicht wird mittels eines weiteren Lithographieschrittes strukturiert. Da für eine elektrische Galvanik ein elektrischer Kontakt zwischen Flüssigkeit und Probe vorhanden sein muss, und dieser nur an den durch die Maske bestimmten Flächen vorhanden ist, wird das Gold nur örtlich partiell abgeschieden.

2. Rückätzung

Die Galvanik wird großflächig abgeschieden. Anschließend wird durch einen weiteren Lithographieschritt eine Ätzmaske erstellt, welche eine lokale Rückätzung erlaubt.

Eine abschließende Rückätzung der Startschicht zur Vermeidung von Kurzschlüssen ist in jedem Fall nötig. Nun wird der Stützlack wieder entfernt, wodurch die Goldbrücken frei stehend verbleiben.

Beide Ansätze sind realisiert worden, jedoch haben sich für die partielle Galvanik bessere Luftbrückenprofile aufgrund des günstigeren Aspektverhältnisses ergeben. Abbildung

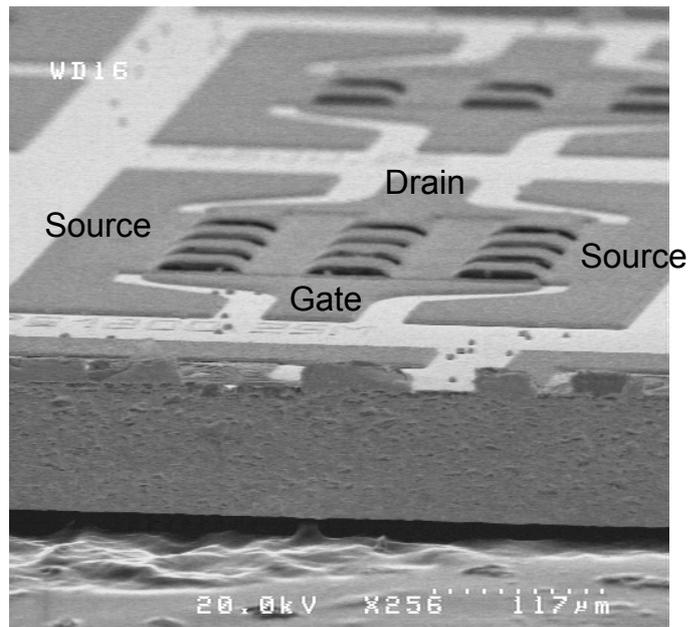


Abbildung 5.3: Rasterelektronenmikroskopaufnahme eines Vielfingerleistungstransistors.

5.3 zeigt einen Vielfinger-Leistungstransistor. Dabei sind sowohl die elektrischen Anschlüsse als auch die Luftbrücken zu erkennen.

Mit Hilfe dieser Technologie sind Vielfinger-Leistungstransistoren mit einer Gateweite von 4,8 mm hergestellt worden. Abbildung 5.4 zeigt eine Ausgangskennlinie eines

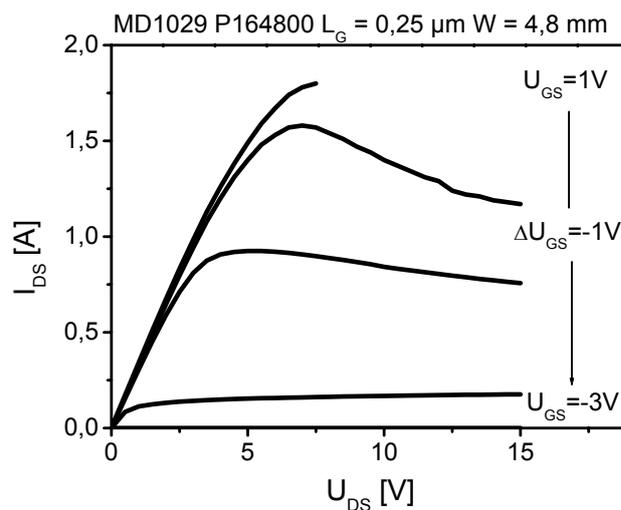


Abbildung 5.4: Ausgangskennlinie eines $\text{Al}_{0,28}\text{Ga}_{0,72}\text{N}/\text{GaN}$ -FETs mit Si_3N_4 -Passivierung. $L_G = 0,25 \mu\text{m}$, $W_G = 4,8 \text{ mm}$. Gemessen bei einer Strombegrenzung von 1,8 A

AlGaN/GaN -Transistors dieser Größe ($L_G = 0,25 \mu\text{m}$, $W_G = 4,8 \text{ mm}$). Um eine irreversible Veränderung des Bauteils zu vermeiden, wird die Ausgangskennlinie bis zu einem

maximalen Ausgangsstrom von 1,8 A aufgenommen. Dabei ist zu erkennen, dass der Transistor nicht völlig aufgesteuert wurde, da die bei diesem Arbeitspunkt entstehende Verlustleistung das Bauteil überhitzt und irreversibel degradiert. Die Verlustleistung bei einer Querschnittsfläche von ca. $0,25 \text{ mm}^2$ und einem Arbeitspunkt von $U_{DS} = 15 \text{ V}$ und $U_{GS} = -1 \text{ V}$ beträgt absolut bereits 19 W. Diese Leistungsdichte verdeutlicht, wie wichtig ein thermisches Management der Transistoren zum Ableiten der Verlustwärme ist.

Neben Gleichstrommessungen sind die Leistungstransistoren auch auf Eigenschaften der hochfrequenten Leistungsverstärkung untersucht worden. Abbildung 5.5 zeigt eine Lei-

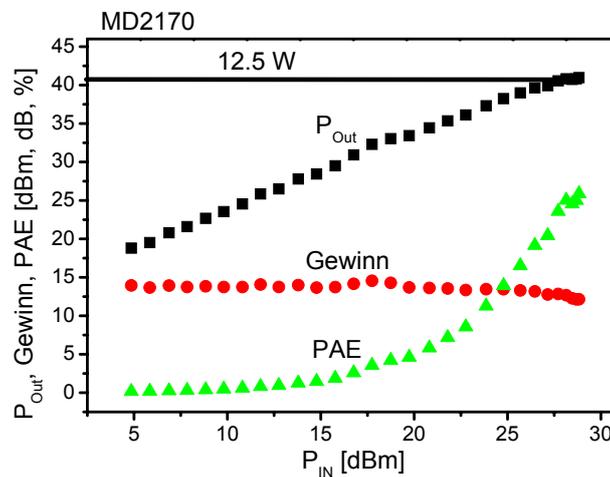


Abbildung 5.5: Leistungskurve eines $\text{Al}_{0,28}\text{Ga}_{0,72}\text{N}/\text{GaN}$ -FETs im Klasse AB Arbeitspunkt. $W_G = 4,4 \text{ mm}$, $L_G = 0,25 \mu\text{m}$, $U_{DS} = 34 \text{ V}$, $U_{GS} = -4 \text{ V}$, $f = 2 \text{ GHz}$, gepulst mit $T_P = 4 \mu\text{s}$ und einem Tastverhältnis von 2 %.

stungsmessung eines Transistors ($W_G = 4,4 \text{ mm}$) im Klasse AB-Betrieb bei einer Drain-Sourcespannung von $U_{DS} = 34 \text{ V}$ und Gate-Sourcespannung von $U_{GS} = -4 \text{ V}$ bei einer Frequenz von $f = 2 \text{ GHz}$. Für die Messung wurde ein Klasse AB-Arbeitspunkt gewählt, da sich hier die dispersiven Einflüsse noch nicht bemerkbar machen und zusätzlich im Vergleich zum Klasse A-Arbeitspunkt ein erhöhter Wirkungsgrad erzielt wird. Aufgrund der großen Verlustleistungen ist die Kennlinie gepulst mit einer Pulsdauer von $4 \mu\text{s}$ bei einem Tastverhältnis von 2 % aufgenommen worden. Eine maximale absolute RF-Ausgangsleistung von 12,5 W im linearen Bereich bei einer linearen Verstärkung von 14 dB ist dabei erzielt worden. Die nahezu konstante Verstärkung deutet auf Reserven in der absoluten Ausgangsleistung des Transistors. Bereits hier sind Leistungsdichten von 2,9 W/mm erzielt worden.

5.2 Thermisches Management

Vor allem in Leistungsverstärker ist die im Betrieb generierte Verlustleistung nicht vernachlässigbar. Eine thermische Anbindung der Verstärkerelemente an eine Wärmesenke ist daher essentiell wichtig. Die Kühlung kann entweder über die Oberfläche oder über das Substrat durchgeführt werden. Beide Konzepte wurden untersucht. Besonders erfolgreich ist dabei eine Oberflächenkühlung durchgeführt worden, was im folgenden vorgestellt wird.

Oberflächenkühlung – Wärmesenke über die Kontaktpads

Eine Variante der Oberflächenkühlung besteht in der sogenannten „Flip-Chip“-Technologie. Dabei wird der einzelne Transistor aus dem Wafer separiert und kopfüber auf einer Wärmesenke befestigt. Da der Transistor für eine elektrische Kontaktierung nicht mehr zugänglich ist, müssen vorab elektrische Zuführungen auf der Wärmesenke strukturiert werden. Diese Zuführungen dienen als Wärmebrücke. Hohlräume zwischen den Strukturen können durch zusätzliches isolierendes Auffüllmaterial („Underfiller“) aufgefüllt werden und unterstützen dabei zusätzlich die Wärmeabfuhr. In der realisierten Form wird kein Underfiller verwendet, weshalb bei diesem Prozess eine elektrische als auch mechanische Verbindung ausschließlich über die Kontaktpads stattfindet. Besonderes Augenmerk muss dabei auf die Justage mit einer Justagevorrichtung („Flip-Chip-Bonder“) der Wärmesenke relativ zum Transistor während des Flip-Chip-Prozesses gelegt werden, damit die Kontaktflächen beider Strukturen übereinander liegen. Die Kontaktierung wird durch eine Blei-Zinn-Lötung bei 180 °C und 120 s realisiert und dient als Wärmebrücke zwischen Bauteil und Wärmesenke. Mit dieser Technik kann prinzipiell jedes Materialsystem hybrid miteinander vereint werden. Es muss lediglich auf ähnliche Wärmeausdehnungskoeffizienten geachtet werden, damit bei Temperaturwechseln keine Verspannungen auftreten.

Die Effizienz dieser Kühltechnik wird anhand eines Leistungstransistors mit $W_G = 4,8$ mm und $L_G = 0,25$ μm auf Saphirsubstrat gezeigt. Zu diesem Zweck ist ein gesintertes Aluminium-Nitridsubstrat, welches als Wärmesenke dient, mit Hilfe einer Titan/Wolfram/Gold Startschicht und einer 10 μm dicken Kupferzuleitung strukturiert worden. Abgeschlossen wird diese mit einer 1 μm dicken Blei-Zinn Legierung, welche im Lötprozess den Kontakt zum Kontaktpad des Transistors herstellt. Für den verwendeten Aufbau wurde ein Wärmeübergangswiderstand von $R_{TH} = 11,2$ W/cmK ermittelt. Abbildung 5.6 a) zeigt eine Rasterelektronenmikroskopaufnahmen des Flip-Chip gebondeten Leistungs-transistors [197]. Im rechten Teil der Abbildung wird die Ausgangskennlinie des Verstärkers auf dem Wafer mit dem Flip-Chip gebondeten verglichen. Deutlich ist eine Zunahme des absoluten Ausgangsstromes aufgrund einer verbesserten Wärmeabfuhr erkennbar. Für

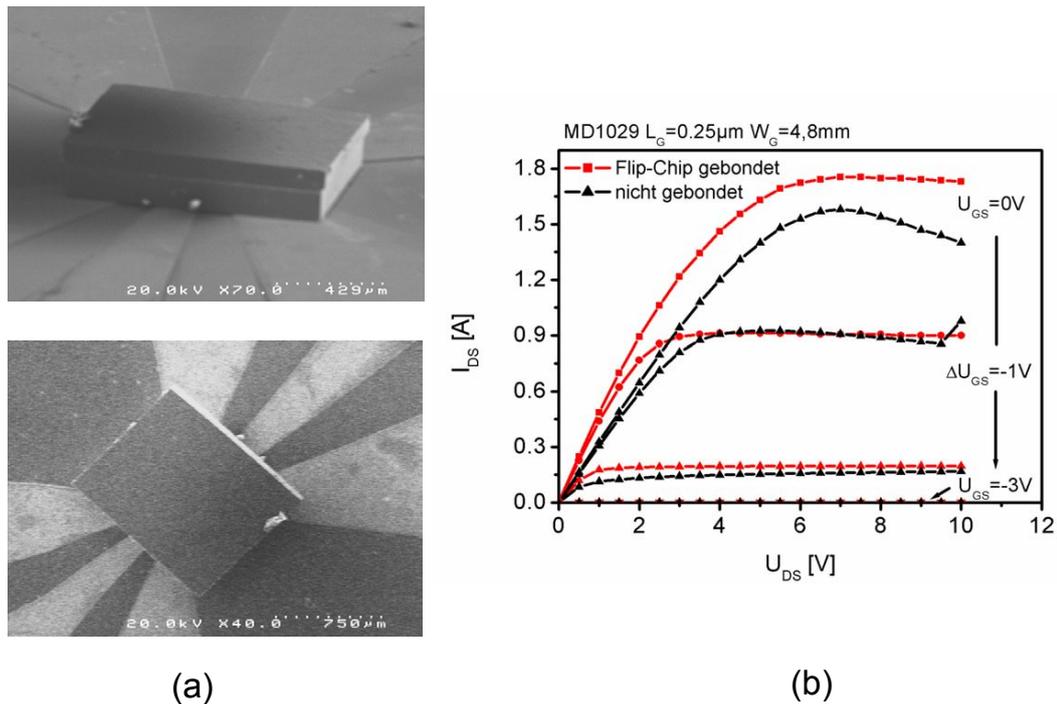


Abbildung 5.6: a) Aufnahme eines Flip-Chip gebondeten Multifingertransistors ($W_G = 4,8 \text{ mm}$, $L_G = 0,25 \mu\text{m}$) auf einem Aluminiumnitrid Substrat nach [197]. Erkennbar sind die galvanisierten Kontaktzuleitungen. b) Vergleich der Ausgangskennlinie des Transistors aus a) auf dem Wafer und nach dem Flip-Chip bonden. Deutlich ist ein höherer Ausgangsstrom durch verbesserte Wärmeableitung sichtbar.

diesen Transistor ist eine reduzierte Kanaltemperatur von $270 \text{ }^\circ\text{C}$ auf $152 \text{ }^\circ\text{C}$ mit Hilfe eines dreidimensionalen thermischen Simulators (ANSYS [196]) simuliert worden. Dabei wurde die real aufgebaute Struktur in der Simulation nachgestellt. Die hierbei verwendeten Parameter sind in [197] nachzulesen. Der Wärmetransport kann zusätzlich durch das Auffüllen der Zwischenräume mit Epoxy Harz verbessert werden. Trotz einer relativ schlechten Wärmeleitfähigkeit des Harzes von $\sigma = 0,05 \text{ W/cmK}$ kann aufgrund der großen Kontaktfläche ein um weitere 20 % erhöhter Ausgangsstrom erwartet werden [198].

5.3 Aufbautechnik

Neben Herstellung und Charakterisierung von hochfrequenten Transistoren werden in dieser Arbeit erste Ansätze zur Integration der hergestellten Transistoren gegeben. Dazu wird eine materialspezifische Aufbau- und Verbindungstechnik entwickelt. Diese Technik wird anschließend dazu verwendet, um integrierte Verstärkermodule aufzubauen.

Das in dieser Arbeit verwendete Siliziumsubstrat ist mit Blick auf seine Beschaffungskosten sehr reizvoll. Dieses Potential einer preiswerten Technologie für die Herstellung

hochfrequenter Leistungstransistoren, wie es GaN auf Si-Substrat ermöglicht, kann nur unter strikter Verwendung von Low-Cost-Komponenten für die gesamte Realisierung von hochfrequenten Verstärkersystemen ausgeschöpft werden. Der in dieser Arbeit verwendete Ansatz verfolgt dieses Ziel und beruht auf einer weiterentwickelten Rückseitenkontaktierung. Sie wird im folgenden Abschnitt beschrieben.

Zuerst werden die Transistoren aus dem Wafer vereinzelt. Eine Charakterisierung weist verminderte Transistoreigenschaften der vereinzelt Bauteile auf. Verdeutlicht wird dies an Transistoren mit einer Chipgröße von $600 \times 600 \mu\text{m}$. Abbildung 5.7 zeigt zwei Lei-

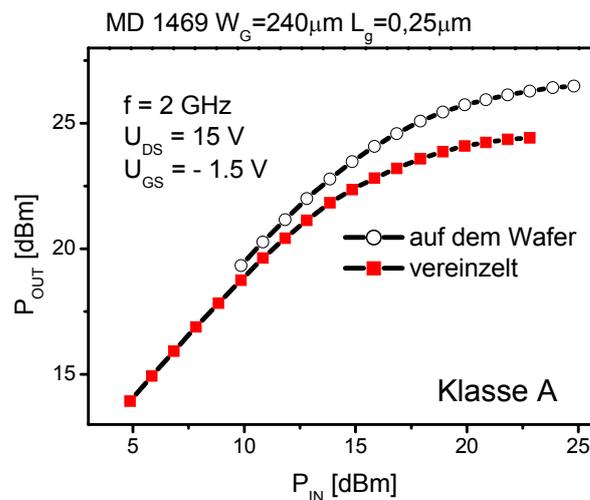


Abbildung 5.7: Vergleich zweier Leistungsmessungen einer Transistorstruktur im Klasse A Arbeitspunkt auf dem Wafer und nach dem Sägen. Das Aspektverhältnis Höhe/Breite beträgt $1/3$. Eine um 2 dB gedämpfte Ausgangsleistung ist für den gesägten Fall ermittelt worden ($W_G = 240 \mu\text{m}$, $L_G = 0,25 \mu\text{m}$).

stungsmessungen im Klasse A Arbeitspunkt an einer Transistorstruktur ($L_G = 0,25 \mu\text{m}$, $W_G = 240 \mu\text{m}$) vor und nach dem Separieren auf einem Metallhalter. Eine um mehr als 2 dB gedämpfte Ausgangsleistung nach der Separation bei einem Aspektverhältnis Höhe/Breite = $1/3$ der vereinzelt Transistoren wird einer erhöhten Eigenerwärmung und nicht mechanischen Veränderungen durch das Sägen zugeschrieben, da nach einer adequate Wärmeanbindung der Seitenwände nahezu die ursprüngliche Ausgangsleistung erzielt wird. Dieser Versuch macht deutlich, dass nicht nur die laterale Wärmefuhr entscheidet, sondern auch die horizontale Wärmespreizung nicht vernachlässigbar ist.

Die vereinzelt Transistoren werden nun hybrid auf einen Träger befestigt. Als Grundplatte des Trägers wird ein Kupferblock gewählt. Er sorgt für mechanische Stabilität und thermische Leitfähigkeit. Sein Einfluss auf das hochfrequente Verhalten der Transistoren bzw. des gesamten Aufbaus ist durch die Realsierung der Wellenführung mit Micro-Strip Leitungen vernachlässigbar. Der Transistor wird sowohl mechanisch als auch thermisch mit Silberleitkleber auf den Kupferblock befestigt. Mit einer thermischen Leitfähigkeit von $\sigma = 1,64 \text{ W/cmK}$ liegt der Kleber in der Größenordnung von Silizium bzw. GaN und generiert dadurch keinen dominanten Wärmewiderstand. Da die eigentliche Chipgröße

bis zu 1 x 1 mm beträgt und ein Höhen/Seitenaspektverhältnis von 1/3 besitzt, ist eine thermische Abfuhr der Verlustleistung über die Seitenwände nicht zu vernachlässigen. Um nun eine möglichst große Aufnahme­fläche des Silberleitklebers zu erreichen wird der ausgesägte Chip auch mit den Seitenwänden durch Silberleitkleber kontaktiert. Die hochfrequenten Transistoreigenschaften werden nicht durch die thermische Kontaktierung in Form von parasitären Kondensatoren beeinflusst, da zusätzlich zur elektrischen Isolation der Bauteile durch die MESA-Ätzung auch das Kontaktmaterial (Si-Substrat) isolierenden Charakter besitzt. Zusätzlich werden die Kontaktpads zum Source der Verstärkerstufe mit Silberleitkleber realisiert, was einer partiellen Wärmesenke sogar von der Oberfläche entspricht. Somit wird sowohl die Oberfläche partiell durch die thermische Anbindung als auch die Seitenwände durch die Kontaktierung gekühlt. Die Drain und Gatepads besitzen geringere Größen, weshalb hier keine gesonderte thermische Anbindung realisiert wird. Elektrisch werden die Transistoren über Bonddrähte angeschlossen.

5.4 Aufbau

Nach einer thermischen Anbindung des Leistungs­transistors wird eine Leiterplatte (PCB) mit einer Aussparung an der Stelle der Verstärkerstufe, auf den Kupferblock mit Schrauben befestigt. Die Platine wird hochfrequent durch SMA-Stecker angeschlossen, welche zusätzlich zur mechanischen Stabilität am Kupferblock befestigt sind. Der elektrische Kontakt zwischen Leiterplatte und Transistor wird durch kurze Bonddrähte realisiert, welche direkt vom Verstärkermodul auf den Transistor gezogen werden. Die Leiterplatte und ihre elektrischen Anschlüsse werden erst nach vollständiger Bestückung mit dem, auf dem Kupferblock befestigten Transistor, realisiert. Der gesamte Aufbau wird in Abbildung 5.8 nochmals verdeutlicht.

Vorteil dieser hybriden Integrationstechnik ist die ausschließliche Verwendung von am Markt erhältlichen Standardkomponenten, welche im Preis bei guter Wärmearbeitung des aktiven Bauteils erschwinglich sind. Die Kontaktierung wird durch Bonddrähte realisiert, welche hochfrequent einen induktiven Charakter aufweisen, was abhängig von der Bondlänge, die maximale Einsatzfrequenz der Aufbau und Verbindungstechnik limitiert. Als Leiterplatte sind sowohl Standardleiterplatten (FR4) als auch Keramiken (Ro4003) verwendet worden. Hierbei zeichnet sich die Keramik durch ihr kleineres ϵ_r für hochfrequente Anwendungen aus. Alle nachfolgend vorgestellten Verstärkerstufen sind auf Ro4003 aufgebaut.

Die Wellenführung auf der Leiterplatte wird durch Streifenleitungen („Microstrip“) realisiert. Dabei ist bei einer Leiterplattendicke von 1,5 mm eine Leitungsbreite von ca. 1 mm (40 Miliinch) für eine Leitungsimpedanz von 50 Ω nötig. Die Microstripleitung wurde deshalb gewählt, da die Rückseite der Leiterplatte zur Wellenführung mit einer Masse-

fläche versehen werden muss. Dieses Konzept steht in Einklang mit dem verwendeten Kupferblock, welcher dadurch ebenfalls das Massepotential erhält. Abbildung 5.8 zeigt

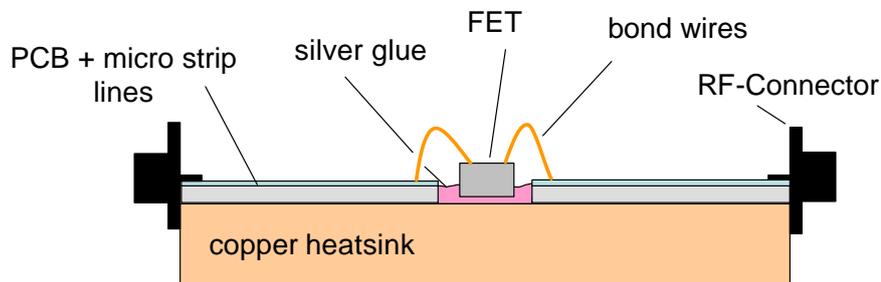


Abbildung 5.8: Schematische Darstellung eines Verstärkermoduls.

den schematischen Aufbau der Verstärkermodule im Querschnitt. Erkennbar sind der als Wärmesenke fungierende Kupferblock, die Bonddrähte zur Herstellung des Gate- und Drainkontaktes, der Silberleitkleber und die hochfrequenztauglichen SMA-Stecker. Für die Herstellung diverser On-Board-Komponenten wie Anpassschaltung bzw. Realisierung der Gleichstrom- Wechselstromkontaktierung (Bias) werden Standard SMD-Komponenten verwendet. Diese werden mit Hilfe von Infrarotlötung aufgebracht. Die Infrarotlötung ermöglicht eine reproduzierbare Lötung und verhindert durch ihr grossflächiges Einwirken örtliche Überhitzungen. Für höhere Frequenzen limitieren die diskret verwendeten Induktivitäten den RF-Betrieb. Um einen möglichst hohen Frequenzbereich abdecken zu können sind für die Module gewickelte Induktivitäten mit Luftkern zum Einsatz gekommen. Noch höhere Frequenzen können durch die Verwendung von Ferritkernen realisiert werden. Abbildung 5.9 zeigt ein Abbild eines gefertigten Verstärkermoduls.

Die Transistorstruktur wurde mit einem Wärmeleitgel verkapselt, welches zusätzlich die Bonddrähte mechanisch stabilisiert.

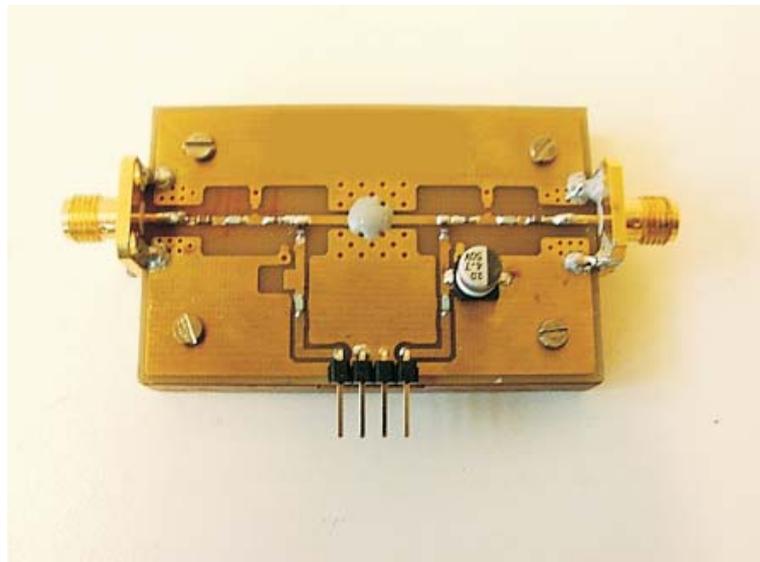


Abbildung 5.9: Photo eines aufgebauten Verstärkermoduls.

Kapitel 6

Verstärkermodule

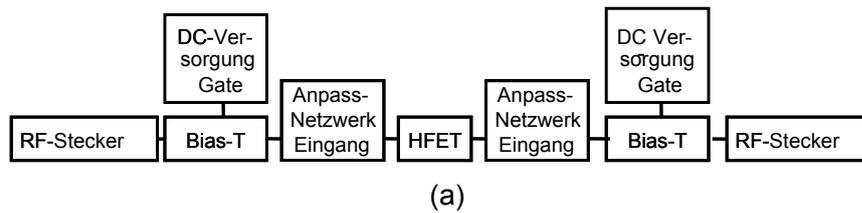
Aus Gründen der Kompatibilität vieler Einzelkomponenten in einem System werden in der Hochfrequenztechnik bevorzugt bereits auf den Wellenwiderstand angepasste Komponenten verwendet. Dabei werden unterschiedliche Integrationsstufen angeboten. Vorteilhaft ist, neben den Impedanzwandlern am Eingang bzw. Ausgang, wenn die hochfrequenten Signale bzw. Gleichstrom voneinander separiert werden und über getrennte Anschlüsse zugeführt werden. Als Schnittstelle in der Hochfrequenztechnik (Wellenwiderstand) hat sich eine $50\ \Omega$ Umgebung etabliert, welche es in den Modulen zu realisieren gilt. Dabei gibt es unterschiedliche Konzepte, von denen einige hier mit bereits vorgestellter Aufbau und Verbindungstechnik diskutiert und realisiert worden sind. Ein weiterer Anspruch an diese Module ist eine höhere absolute Ausgangsleistungen.

6.1 Einzeltransistor Modul

Abbildung 6.1a) zeigt die Komponenten der Platine eines Einzeltransistor Moduls, Abbildung 6.1b) den hochfrequenten Pfad. Festzustellen ist dabei, dass der prinzipielle Aufbau identisch zu dem des Leistungsmessplatzes ist. Dabei wird das hochfrequente Eingangssignal über die SMA-Stecker in das Modul eingespeist. Anschließend, wird dieses über einen Impedanzwandler (Matching Network Input) auf die konjugiert komplexe Impedanz des Transistors angepasst. Durch die Anpassung kann eine teilweise Reflexion des eingespeisten Signals am Eingang reduziert bzw. bei idealer Anpassung verhindert werden. Eine gute Anpassung am Eingang wirkt sich vor allem positiv auf den Gewinn eines Moduls aus, da im realen Einsatz die reflektierte Leistung verloren geht und nicht zur Verstärkung beiträgt.

Das Bias auf der Eingangsseite dient der Zusammenführung des Hochfrequenz- und Gleichstromsignals. Dieses wird, wie der SMA-Kontaktstecker, nur als $50\ \Omega$ Leitung

Schematischer Aufbau der Leiterplatte



Equivalenten Hochfrequenzpfad

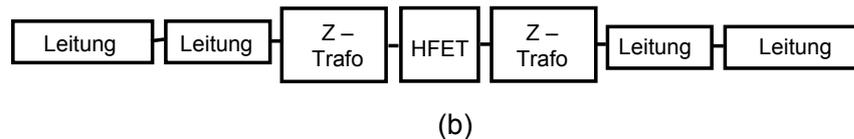


Abbildung 6.1: Schematischer Aufbau der Platine eines Einzeltransistor Moduls. a) Physikalische Komponenten b) Equivalenten Hochfrequenzpfad.

für das HF-Signal sichtbar, was in einer Phasendrehung des Signals resultiert.

Das angepasste Signal wird in die Verstärkerstufe (Transistor) eingespeist. An seinem Ausgang wird über den Ausgangsimpedanzwandler eine für die maximale Ausgangsleistung optimale Lastgerade eingestellt. Eine fehlerhafte Anpassung am Ausgang wirkt sich durch eine reduzierte maximale Ausgangsleistung und verringertem Gewinn aus, was eine schlechtere Effizienz impliziert. Im anschließenden Bias wird das auf 50Ω angepasste RF-Signal von seinem Gleichstromanteil getrennt und anschließend über einen SMA-Stecker nach außen gegeben. Entsprechend dem Eingangspfad stellt auch der Stecker und der Impedanzwandler des Ausgangspfades lediglich eine Phasenverschiebung der Ausgangswelle dar.

Neben den aufgezeigten Komponenten sind am Eingang und Ausgang des RF-Pfades große Serienkapazitäten (100 pF) angebracht. Diese sollen im Falle einer internen Beschädigung aufgrund von Stromüberlastungen oder anderem als Gleichstromstop (DC-Block) fungieren und die externen Geräte schützen.

Zum Schutz der internen Komponenten ist im Gleichstrompfad mit Hilfe von Leistungsdioden ein Verpolschutz realisiert und die Eingänge sind mit Hilfe von Varactordioden gegen Überspannung (ESD) geschützt.

Wie bereits erwähnt wird die Aufspaltung bzw. Überlagerung des Gleichstrom- und Wechselstromanteils in den Bias realisiert. Dazu wird der Gleichstrom durch eine im RF-Pfad in Serie geschalteten Kapazität vom SMA-Stecker entkoppelt. Umgekehrt wird die RF-Leistung durch eine im DC-Pfad in Serie geschalteten Induktivität an der Ausbreitung gehindert. Aufgrund der Grenzfrequenzen der Spulen sind vor allem die in diesem Zweig benötigten großen Induktivitäten im Frequenzbereich bis auf ca. 5 GHz begrenzt. Um niederfrequente Schwingungen in der Gleichstromzuleitung (z.B. 50 Hz) zu kompensieren wird der Gleichstromeingang über einen $50 \mu\text{F}$ großen Elektrolytkondensator gestützt. Das eigentliche Herzstück der Verstärkermodule sind die Anpassschaltungen. Hier wird am Eingang die 50Ω Umgebung der Zuleitung auf eine durch den Transistor vorgege-

bene Eingangsimpedanz gewandelt, bzw. am Ausgang die optimale Lastgerade auf 50Ω transformiert.

Abbildung 6.2 zeigt eine Leistungsmessung eines Einzeltransistorverstärkermoduls bei

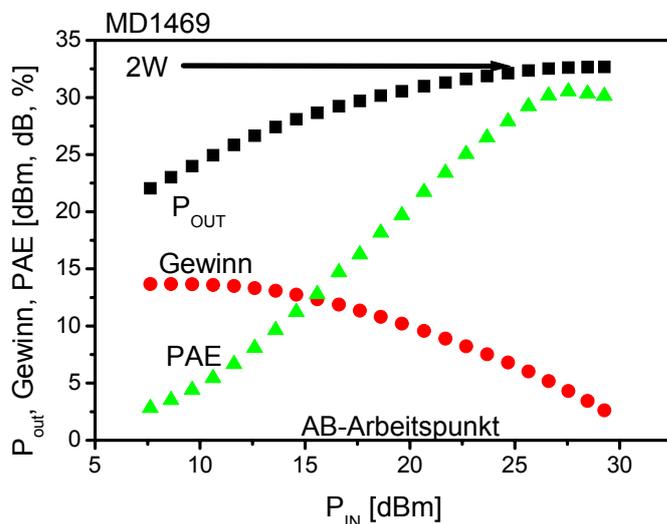


Abbildung 6.2: Leistungsmessung eines Multifingertransistors aufgebaut in einem Verstärkermodul im Klasse AB–Arbeitspunkt mit einer absoluten Ausgangsleistung von 2 W ($3,3 \text{ W/mm}$) und einer Effizienz von 32 % an einer Lastgeraden von 50Ω . Eckdaten: $W_G = 600 \mu\text{m}$, $f = 2 \text{ GHz}$, $U_{DS} = 15 \text{ V}$.

einer Frequenz von $f = 2 \text{ GHz}$ im Klasse AB–Arbeitspunkt an einer Lastgerade von $Z_L = 50 \Omega$ an. Die Transistorgeometrien sind $L_G = 0,25 \mu\text{m}$, $W_G = 600 \mu\text{m}$.

In dieser Konfiguration wird eine maximale Ausgangsleistung von absolut 2 W, was einer Leistungsdichte von $3,3 \text{ W/mm}$ entspricht, gemessen. Vergleicht man diese Werte mit einer On–Wafer gemessenen Leistungsdichte von $3,4 \text{ W/mm}$ (Kapitel 4.6.1), so wird deutlich, dass die Ausgangsleistungen vergleichbar sind. Dieser Vergleich unterstreicht noch mehr die Effizienz des hybriden Aufbaukonzeptes. Es gilt allerdings zu erwähnen, dass der optimale Arbeitspunkt für diesen Modulansatz für diskrete Frequenzen ausgelegt ist.

Das gesamte Verstärkermodul konnte mit einer Effizienz von 32 % betrieben werden und weist eine lineare Verstärkung von 13 dB auf.

Da die Anpassung relativ schmalbandig ist, muss sie für jede Einsatzfrequenz neu bestimmt werden, was zusätzlich für eine Frequenz von 5 GHz realisiert wurde. Auch hier wird die Anpassung mit diskreten Bauteilen durchgeführt. Abbildung 6.3 zeigt die Leistungsmessung des Einzeltransistorverstärkermoduls im Klasse AB–Arbeitspunkt bei einer Frequenz von 5 GHz an einer Lastgerade von 50Ω . Bei einem Arbeitspunkt von $U_{DS} = 15 \text{ V}$, $U_{GS} = -1,5 \text{ V}$, ist eine maximale Ausgangsleistung von 1,8 W ($3,1 \text{ W/mm}$) also ca. 11 % weniger als bei 2 GHz erzielt worden. Eine reduzierte lineare Verstärkung um 2 dB auf 11 dB wird detektiert. Erhöhte Verluste in der Leiterplatte und Limitierungen der Anpassung für diese hohen Frequenzen können hierfür verantwortlich gemacht wer-

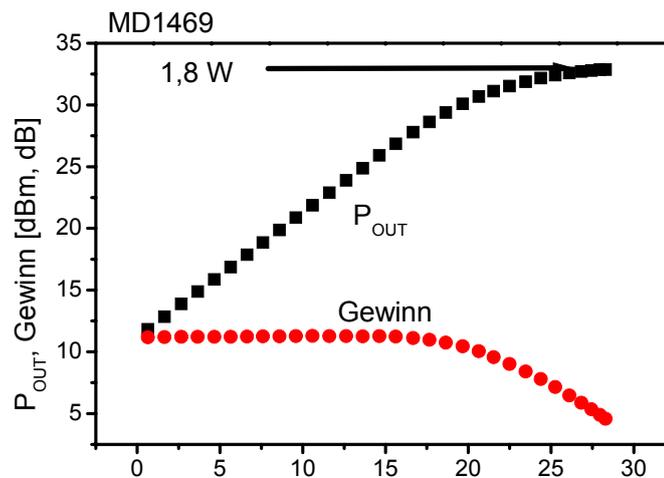


Abbildung 6.3: Leistungsmessung eines Multifingertransistors integriert in einem Verstärkermodul im Klasse AB–Arbeitspunkt mit einer absoluten Ausgangsleistung von 1,8 W (3,1 W/mm) an einer Lastgeraden von 50Ω . Eckdaten: $W_G = 600 \mu\text{m}$, $f = 5 \text{ GHz}$, $U_{DS} = 15 \text{ V}$, $U_{GS} = -1,5 \text{ V}$.

den. Ein Einbruch der linearen Verstärkung aufgrund der Kleinsignalparameter ist nicht ersichtlich ist.

Um Verstärkerelemente großer Gateweiten zu vermessen, muss die Verlustleistung reduziert und die Effizienz (PAE) erhöht werden, was durch die Wahl eines Klasse B–Arbeitspunktes erreicht wird. Eine weitere Reduzierung der Verlustleistung kann durch den Wechsel von konstantem Betrieb zu Pulsbetrieb erzielt werden. In der folgenden Messung wird eine Pulsdauer von $t_{Pu} = 5 \mu\text{s}$ mit einer Periodendauer von $t_{PE} = 200 \mu\text{s}$ gewählt, was einem Tastverhältnis von $D_{uty} = t_{Pu}/t_{PE} = 2,5 \%$ entspricht. Für ein kleineres D_{uty} wird die Verlustleistung durch die Wärmekapazität aufgenommen. Die Eigenerwärmung findet binnen weniger μs statt [56]. Für den Abtransport der entstandenen Wärme werden die Pausen des Transistorbetriebes verwendet.

Abbildung 6.4 zeigt eine gepulste Leistungsmessung an einem Multifingertransistor mit einer Gateweite von $8,8 \text{ mm}$, einer Gatelänge von $L_G = 0,25 \mu\text{m}$ bei einer Frequenz von 2 GHz an einer Lastgeraden von 50Ω .

In dieser Konfiguration ist an einem Einzeltransistorverstärkermodul eine absolute gesättigte Ausgangsleistung von $8,1 \text{ W}$ erreicht worden. Ein Gewinn von 10 dB ist dabei um 5 dB geringer als vergleichbare Transistoren kleinerer Gateweite. Diese Reduzierung der Transistoreigenschaften wird der internen Wärmenetwicklung zugeschrieben. Für Transistoren dieser Größe kommt die vorgestellte Integrationstechnik an ihre Grenzen, was z.B. durch eine verringerte Steilheit im Vergleich zu Transistoren mit kleinerer Gateweite ersichtlich wird. Außerdem sind in dieser Konstellation die Differenzen zwischen der Transistorperformance auf dem Wafer und Messungen an Transistoren in separiertem Zustand noch größer. Die Effizienz dieser Messung kann in dem verwendeten Messaufbau für gepulste Messungen nicht ermittelt werden, das die Gleichstrom–Leistungsaufnahme nicht ermittelt werden kann.

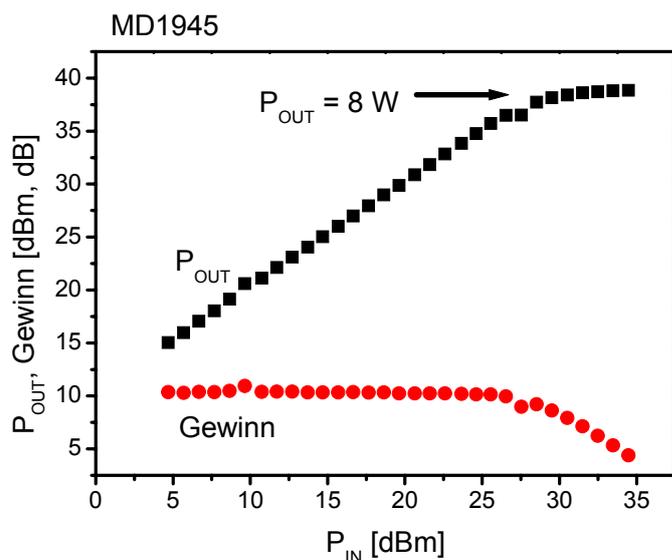


Abbildung 6.4: Leistungsmessung eines Multifingertransistors integriert in ein Verstärkermodul im Klasse B-Arbeitspunkt mit einer absoluten Ausgangsleistung von 8,1 W (0,92 W/mm) an einer Lastgeraden von 50 Ω . Eckdaten: $W_G = 8800 \mu\text{m}$, $f = 2 \text{ GHz}$, $U_{DS} = 32 \text{ V}$.

6.2 „Balanced Amplifier“ Module

Eine Voraussetzung für die Anwendung von Hochfrequenzmodulen ist ihre Anpassung an 50 Ω . Hierbei ist eine exakte Realisierung beliebig komplex und ist in den seltensten Fällen durchführbar. Um eine optimale Anpassung sowohl am Eingang als auch am Ausgang an 50 Ω zu erreichen, existieren weitere Verstärkermodulkonzepte. Die Variante des „Balancierten Verstärkermoduls“ („Balanced Amplifier Module“) ist in diesem Zusammenhang realisiert worden. Dieses Konzept wurde bewusst gewählt, da es neben einer optimalen Anpassung auch die absolute Ausgangsleistung durch die Zusammenschaltung von zwei Transistoren erhöht. Abbildung 6.5 zeigt eine schematische Darstellung.

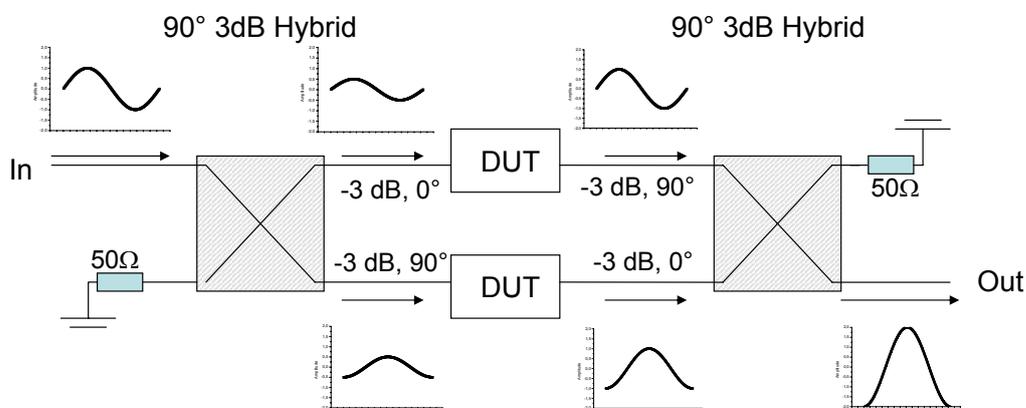


Abbildung 6.5: Schematischer Aufbau eines Balancierten Verstärkermoduls (Balanced Amplifier Module).

lung des Verstärkerkonzeptes. Die zu verstärkende Welle wird am Eingang eingespeist und über einen 90° Koppler in zwei um 3 dB gedämpfte und 90° zueinander in der Phase verschobenen Signale aufgespalten. Anschließend werden diese als Eingangssignal auf die Steuerelektrode der Transistoren gegeben. Die am Ausgang der Transistoren verstärkten Signale werden, wiederum über einen 90° Koppler, phasengleich zusammengeführt. Die zusammengeführten Signale überlagern sich konstruktiv, da ihre Phase relativ zueinander nicht mehr verschoben ist.

Das balancierte Verstärkerkonzept basiert auf der Verwendung zweier gleicher Verstärker.

Die Anpassung am Eingang bzw. Ausgang des Moduls wird ebenfalls durch die Koppler erzielt, was am Beispiel des Ausganges näher erläutert wird.

Unter Anpassung versteht man, dass unabhängig der einfallenden Welle auf ein Bauteil nichts reflektiert wird. Im Falle des balancierten Verstärkers wird eine einfallende Leistung durch die Koppler in zwei um 90° phasenverschobene Signale aufgespalten. Diese phasenverschobene Signale treffen auf zwei gleiche Verstärkerelemente, weshalb abgesehen von der 90° Phasenverschiebung, ihr reflektierter Anteil identisch ist. Dieser reflektierte Anteil wird wiederum durch den Koppler zum Ausgang geleitet. Hier findet eine Überlagerung mit dem Anteil des anderen Pfades statt. Da beide Anteile aufgrund der Symmetrie der Schaltung bis auf eine 180° Phasenverschiebung durch das zweimalige Passieren des Kopplers identisch sind, findet eine destruktive Interferenz statt, welche den Verstärker rückwirkungsfrei macht und damit anpasst.

Zusätzlich wird durch die isolierende Eigenschaften der Koppler ein Übergreifen der beiden Transistoren aufeinander reduziert, was das Anregen von Oszillationen auf der Verstärkerstufe dämpft.

In dem realisierten Verstärkermodul wird zusätzlich in jedem Pfad eine Anpassschaltung am Transistoreingang und –ausgang implementiert. Diese sind, wie bereits erläutert, nicht zwingend nötig, erhöhen aber die Effizienz, die lineare Verstärkung und die gesättigte Ausgangsleistung. Der eigentliche Aufbau findet analog zur Vorgehensweise in Kapitel 5.3 mit diskreten SMD-Komponenten statt. Als 90° Koppler sind Hybridkoppler der Firma Anaren verwendet worden, welche für Frequenzen bis zu 6 GHz erhältlich sind und eine Dämpfung von 0,3 dB aufweisen [200].

In einem realisierten Verstärkermodul werden zwei gleiche Transistoren mit einer Gateweite von $2 \times 1,5$ mm und einer Gatelänge von $0,25 \mu\text{m}$ verwendet. Wie in Abbildung 6.6 ersichtlich, wird bei einer Leistungsmessung mit 2 GHz an einer 50Ω -Last eine Ausgangsleistung von 3,1 W und einer linearen Verstärkung von 12 dB mit einer Effizienz (PAE) von 24 % erzielt.

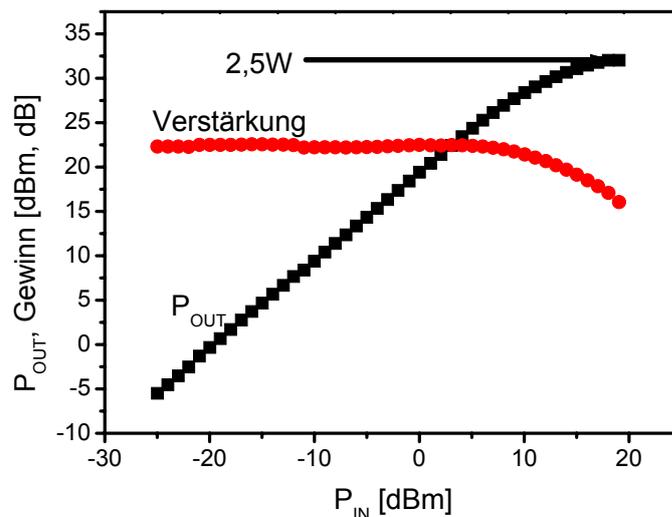


Abbildung 6.6: Leistungsmessung an einem Balancierten Verstärkermodul. $L_G = 0,25 \mu\text{m}$, $W_G = 2 \times 1,5 \text{ mm}$, $f = 2 \text{ GHz}$, $U_{DS} = 15 \text{ V}$, $Z_L = 50 \Omega$.

6.3 Verschaltung mehrerer Module

Durch die Anpassung an 50Ω wird eine Schnittstelle generiert, welche für die Verschaltung mehrerer Module dienen kann. Dabei kann die lineare Verstärkung durch eine Serienschaltung positiv beeinflusst werden während eine Parallelschaltung die maximale Ausgangsleistung erhöht.

Um destruktive Interferenz der zusammengeführten Ausgangsleitungen bei Parallelschaltung aufgrund unterschiedlicher Laufzeiten (Phasenverschiebungen) zu vermeiden, ist darauf zu achten, dass die parallel geschalteten Verstärkermodule identisch aufgebaut sind.

Durch eine Erhöhung der Ausgangsleistung mittels entsprechender Parallelschaltung wird die effektive Gateweite bei erhöhtem Platzbedarf vergrößert. Durch die räumliche Trennung der einzelnen Transistorstufen reduziert sich die Leistungsdichte pro Fläche wodurch die Eigenerwärmung sinkt.

Abbildung 6.7 zeigt die Leistungsmessung einer Serienschaltung des Einzeltransistorverstärkermoduls aus Kapitel 6.1 mit dem balancierten Verstärker aus Kapitel 6.2 bei einer Frequenz von 2 GHz. Beide Module werden über eine Gleichstromzuführung ($U_{DS} = 15 \text{ V}$, $U_{GS} = -2 \text{ V}$) versorgt und somit im Klasse AB–Arbeitspunkt betrieben. Bei einer Frequenz von 2 GHz wird eine lineare Verstärkung von 23 dB erzielt, was nahezu einer Addition der Verstärkung der Einzelmodule entspricht. Die maximale Ausgangsleistung des Modulkonglomerats erreicht mit 34 dBm nicht ganz die Ausgangsleistung des Balancierten Verstärkermoduls alleine. Der Grund hierfür ist eine zu kleine Vorverstärkerstufe (Einzeltransistormodul), welche nicht die nötige Ausgangsleistung zum völligen Aussteuern des nachfolgenden Moduls zur Verfügung stellt. Dies kann durch ein Vorverstärkermodul größerer Gateweite behoben werden.

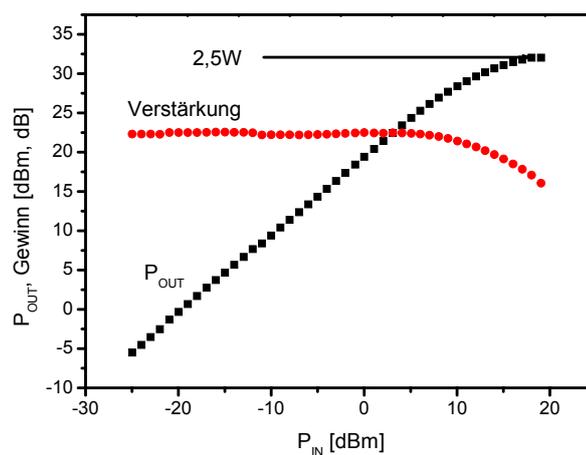


Abbildung 6.7: Leistungsmessung an einer Serienschaltung aus einem Einzeltransistorverstärkermodul und blankiertem Verstärkermodul im AB–Arbeitspunkt bei 2 GHz. Eine lineare Verstärkung von 23 dB wird dabei erzielt mit einer maximalen Ausgangsleistung von 1,6 W $L_G = 0,25 \mu\text{m}$, $W_G = 2 \times 1,5 \text{ mm}$, $f = 2 \text{ GHz}$, $U_{DS} = 15 \text{ V}$, $Z_L = 50 \Omega$.

Eine Erhöhung der Verstärkung um 11 dB durch die Serienschaltung demonstriert eindeutig die Einflüsse des zusätzlich gewonnenen Freiheitsgrades durch den modularen Aufbau.

Kapitel 7

Zusammenfassung und Ausblick

In dieser Arbeit wurde ein Einblick in die Welt der Gruppe III–Nitride gegeben. Dabei wird auf das neuartige Funktionsprinzip, Polarisation zur Ladungsgeneration zu verwenden, eingegangen. Neben den sich daraus ergebenden Freiheitsgraden werden auch die hieraus resultierenden Konflikte aufgezeigt und diskutiert.

In diesem Zusammenhang wird der gesamte Herstellungsprozess von Gruppe III–Nitridtransistoren inklusive Charakterisierung am Beispiel von InAlN/GaN und AlGaIn/GaN–Transistoren vorgestellt. Leistungsdichten von über 4 W/mm demonstrieren dabei das Potential dieses Materialsystems im Bereich hochfrequenter Leistungsverstärkung.

Es findet derzeit eine Verlagerung von einem bisher hauptsächlich wissenschaftlichen getriebenen Interesse in zunehmend industrielle Belange statt. Wirtschaftliche Interessen stehen über dem Bestreben, das Wissen bezüglich dieses Materialsystems zu kommunizieren, weshalb eine abnehmende Publikationsdichte zu verzeichnen ist. Hiervon sollte man sich nicht beirren lassen, denn die Untersuchungen gehen nach wie vor in voller Intensität weiter, allerdings in einem veränderten Umfeld.

Neben einzelnen Verstärkerelementen sind erste Ansätze der Integration dieser Bauelemente in Verstärkermodule gegeben.

Diese Bauteile sind trotz ihrer herausragenden Eigenschaften im Bereich der hochfrequenten Leistungsverstärkung noch nicht kommerziell erhältlich. Speziell zu dieser Thematik sind Untersuchungen durchgeführt worden, welche die Defizite bei derzeit verwendeten Passivierungen aufzeigen, woraus klar wird, weshalb eine kommerzielle Einführung in den Markt noch nicht geschehen ist.

Der zukünftige Weg der Gruppe III–Nitride ist derzeit schwer einzuschätzen. Ihr Potential ist unumstritten. Diese Transistoren bieten durch ihre erhöhte Durchbruchspannung auch eine leichtere Form der Anpassung, was diese Bauteile leichter integrieren lässt. Auf der anderen Seite muss GaN eine bestehende und etablierte Technologie verdrängen, um bestehen zu können. Es kann deshalb mit Spannung die Weiterentwicklung dieses Materialsystems beobachtet werden.

Anhang A

Formelzeichen

a_0		Gitterkonstante in GaN	(8)
c_0		Höhe eines Hexagons im GaN-Gitter	(8)
C_0	F	Kapazität zwischen Gate und dem Kanal	57)
c_{13}, c_{33}		Elastische Konstanten	(12)
χ	eV	Elektronenaffinität beim Halbleiter	(46)
d_0		Bindungslänge der Metall-Stickstoffverbindung	(8)
D	As/m ²	Dielektrische Verschiebung	(20)
E	V/m	Elektrisches Feld	(20)
e_{13}, e_{33}		Piezoelektrische Konstanten	(12)
ϵ		Dielektrizitätskonstante	(20)
ϵ_R		relative Dielektrizitätskonstante	(7)
E_B	V/cm	Durchbruchfeldstärke.	(1)
E_G	eV	Bandabstand.	(1)
f_T	Hz	Transitfrequenz	(22)
f_{max}	Hz	Maximale Verstärkung	(22)
G_{MAG}		Maximal verfügbarer Gewinn	(59)
g_m	mS/mm	Auf die Gateweite normierte Steilheit	(24)
I_{DS}	mA/mm	Auf die Gateweite normierter Drain-Sourcestrom	(24)
$I_{DS,sat}$	mA/mm	Auf die Gateweite normierter gesättigter Drain-Sourcestrom	(56)
κ	W/cmK	Wärmeleitfähigkeit	(3)
L_G	μm	Gatelänge	(22)
λ	W/mK	Wärmeleitfähigkeit.	(1)
μ	cm ² /Vs	Beweglichkeit ohne konkret einen Ladungstyp zu spezifizieren.	(18)
N	cm ⁻³	Ortsfeste Polarisationsladung	(12)
N_A	cm ⁻³	Konzentration an Akzeptoren	(20)
N_D	cm ⁻³	Konzentration an Donatoren.	(20)

N_S	cm^{-2}	Schichtkonzentration	(24)
$N_{S,CV}$	cm^{-2}	N_S ermittelt durch CV-Messung	(52)
ΔN_{Diel}	cm^{-2}	Induzierte Ladung im Dielektrikum	(33)
ΔN_{G2}	cm^{-2}	Induzierte Ladung auf G_2	(33)
n		Idealitätsfaktor einer Diode	(54)
$\vec{P}_1 - \vec{P}_4$		Interne Polarisationsvektoren in GaN	(8)
P_{SP}	As/m^2	Spontane Polarisation	(9)
P_{PE}	As/m^2	Piezoelektrische Polarisation	(9)
P_{Tot}	As/m^2	Gesamte Polarsiation im Material	(9)
P_{OUT}	dBm	Ausgangsleistung	(61)
Φ_m	eV	Vakuumsaustrittsarbeit beim Metall	(46)
ϕ_b	eV	Barrierrhöhe eines Schottkykontaktes	(54)
q	As	Elementarladung	(34)
R_{SH}	Ω/\square	Schichtwiderstand	(52)
R_C	Omegacm^2	Kontaktwiderstand	(45)
t_p	m	Ort der injiezierten Ladung	(35)
U_{DS}	V	Drain-Sourcespannung	(73)
U_{GD}	V	Gate-Drainspannung	(56)
U_{GS}	V	Gate-Sourcespannung	(73)
U_{G1S}	V	Spannung zwischen G_1 und Source	(29)
U_{DG1}	V	Spannung zwischen Drain und G_1	(29)
U_{G2S}	V	Spannung zwischen G_2 und Source	(29)
U_P	V	Abschnürspannung (Pinch Off)	(56)
ΔU_P	V	Verschiebung der Pinch-Off Spannung	(32)
v_{SAT}	cm/s	Sättigungsgeschwindigkeit.	(1)
W_G	μm	Gateweite	(72)
x_{AFM}	μm	Tatsächlich zurückgelegte Meßstrecke des AFM	(15)
x_{Probe}	μm	Vertikale Distanz des AFM	(15)

Abbildungsverzeichnis

1.1	Veröffentlichungen der Datenbank INSPEC aufgeteilt auf einzelne Jahre. Suchbegriffe: Diamond bzw. GaN, InN und AlN.	2
1.2	Überblick über veröffentlichte Leistungsdichten in W/mm für GaAs, SiC und GaN.	4
2.1	Dargestellt wird die Potentielle Leistungsdichte bestimmt mit Hilfe der „Lateral Spreading“ Theorie für verschiedene Materialien.	5
2.2	Verlauf des Bandabstandes über die Gitterkonstante für Gruppe III–Nitride. Nichtlinearitäten, welche im allgemeinen durch den „Bowling–Faktor“ ausgedrückt werden, sind nicht berücksichtigt.	6
2.3	Hexagonal–Wurzit Struktur von GaN nach [12].	8
2.4	Ideale Tetraederstruktur im Hexagonal–Wurzit Gitter.	8
2.5	Änderungen einer Tetraederstruktur im idealen Wurzitgitter im Vergleich zum Gitter einesse Grupp III–Nitrides.	9
2.6	Schematische Darstellung der ortsfesten Dipolladungen, des elektrischen Feldes und der induzierten Gegenladung im Halbleiter.	11
2.7	Schematische Darstellung der Verteilung der Polarisationsladung. a) Darstellung der Ladung von zwei separaten Volumenmaterialien / Einzelschichten. b) Verteilung nach Bildung / Aufbau eines Stapels durch Bildung einer Grenzfläche zwischen den Einzelschichten.	14
2.8	Schematische Darstellung der Ladungsverteilung durch Stapeln mehrere polarer Einzelschichten. a) Darstellung der Ladungsbilanz der separaten Medien. b) Ladungsbilanz des Schichtaufbaus nach der Zusammenführung beider Medien.	15

2.9	Schematischer Messaufbau zur Bestimmung des Oberflächenpotentials. Angedeutet ist auch die Präparation der Probe um eine verbessertes Auflösung zu erzielen [28].	15
2.10	Oberflächenspannungen ermittelt mit Hilfe eines AFMs an einer unter $1,5^\circ$ geschliffenen Heterostruktur [31].	16
2.11	Schematische Darstellung der Oberflächenladungen eines Gruppe III–Nitrids für den Fall einer veränderten Kristallorientierung. Die Bezeichnungen der Flächen (A– bzw. R–Plane) werden in den Abbildungen beschrieben.	17
2.12	Schematische Darstellung des Aufbaus einer HEMT–Struktur.	18
2.13	Schematische Darstellung der elektrischen Felder im Transistor mit Hilfe der Gradual Channel Näherung.	19
2.14	Schematische Darstellung einer vertikalen FET–Struktur.	20
2.15	a) Schematischer Aufbau eines AlGaN/GaN basierenden Transistors. b) Polarisationsverlauf einer AlGaN/GaN–Schichtstruktur.	23
2.16	a) CV–Kennlinie einer $\text{Al}_{0,28}\text{Ga}_{0,72}\text{N}/\text{GaN}$ –Schichtstruktur b) Ausgangskennlinie eines $\text{Al}_{0,28}\text{Ga}_{0,72}\text{N}/\text{GaN}$ –FETs mit Si_3N_4 –Passivierung. $L_G = 0,25 \mu\text{m}$, $W_G = 0,25 \mu\text{m}$	25
2.17	a) Symbolische Darstellung der Arbeitspunkte, wie sie in Schaltexperimenten zur Identifikation des dispersiven Verhaltens in GaN–basierenden Transistoren verwendet werden. b) Stromverlauf während dem Schaltexperiment von und kaltem in heißen Arbeitspunkt	26
2.18	Schematische Darstellung der Ladungsträgerinjektion, wie sie in Gruppe III–Nitriden unter Streßbedingungen zwischen Gate und Drain auftreten.	29
2.19	Schematischer Aufbau der Doppel–Gate Struktur.	29
2.20	Vergleich der Ausgangskennlinien der Doppel–Gate–Struktur. (a) HEMT–Ausgangskennlinienfeld mit Schottkygate G1, (b) MISFET– Ausgangskennlinienfeld mit MIS–Gate G2.	30
2.21	Vergleich einer Transferkennlinie vor und nach dem Langzeitexperiment	32
2.22	Ersatzschaltbild der Doppel–Gatestruktur.	33
3.1	Rasterelektronenmikroskopaufnahme eines Hochfrequenztransistors. $L_G = 0,25 \mu\text{m}$, $W_G = 200 \mu\text{m}$	42

3.2	Schematischer Aufbau einer Kontaktätzung zur Minimierung der ohmschen Kontakte.	46
4.1	Schematischer Aufbau eines InAlN/GaN basierenden Transistors. In praktischen Realisierungen wird ein 111-orientiertes Siliziumsubstrat verwendet.	50
4.2	Theoretisch berechnete Polarisationsladung für eine InAlN/GaN – Grenzfläche mit Verspannung der InAlN-Gitterkonstante auf die von GaN. . . .	51
4.3	Tiefenabhängiges Ladungsträgerprofil, ermittelt aus einer spannungsabhängigen Kapazitätsmessung. Für die Barriere wird eine Hintergrunddotierung von ca. $N_D = 10^{18} \text{cm}^{-3}$ ermittelt.	53
4.4	Elektrisches Ersatzschaltbild eines sperrfreien Kontaktes nach dem Kettenleitermodell [210].	53
4.5	Bestimmung der Barrierenhöhe Nickel basierter Kontakte auf InAlN. a) Auftragung von $1/C^2$ einer CV-Messung über die Diodespannung b) Arrheniusplot der Sperrsättigungsstromes über die Temperatur.	55
4.6	a) Ausgangskennlinie eines $\text{In}_{0.17}\text{Al}_{0.83}\text{N}/\text{GaN}$ -FETs ohne Passivierung. Geometriedaten: $L_G = 0,25 \mu\text{m}$, $W_G = 50 \mu\text{m}$. eine maximale Stromdichte von 1,8 A/mm mit einer abgeschnürten Durchbruchspannung von 52 V wird erreicht b) Steilheitsverlauf der Ausgangskennlinie von a).	56
4.7	Die durchgezogene Linie entspricht einer Simulation des maximalen Ausgangsstromes entsprechend Formel 4.4 mit den Halldaten. Für die Sättigungsgeschwindigkeit wurde ein $V_{\text{sat}} = 2 \cdot 10^7 \text{cms}^{-1}$ verwendet. Die abgebildeten Punkte sind Messwerte für Transistorstrukturen mit verschiedenen Gatelängen ($U_{GS} = 5 \text{V}$, U_{DS} von I_{max}).	57
4.8	Gemessene Ausgangskennlinie eines $\text{In}_{0.17}\text{Al}_{0.83}\text{N}/\text{GaN}$ -FETs mit einer Substrathaltertemperatur von 150 K. Blau ist die Kennlinie bei Raumtemperatur. Transistordaten: $W_G = 50 \mu\text{m}$, $L_G = 0,25 \mu\text{m}$	58
4.9	Kleinsignalmessung eines $\text{In}_{0.17}\text{Al}_{0.73}\text{N}/\text{GaN}$ -Transistors. $L_G = 0,25 \mu\text{m}$, $W_G = 200 \mu\text{m}$, $U_{DS} = 15 \text{V}$, $U_{GS} = -6 \text{V}$. Dargestellt sind der MAG und H_{21} . Zusätzlich wir der Rollet'sche Stabilitätsfaktor k und eine Dämpfung erster Ordnung (20 dB pro Dekade) aufgezeigt. Zur Ermittlung des stabilen Transistorbetriebes wird der Grenzwert $k = 1$ dargestellt.	59

- 4.10 Schematische Darstellung des RF-Pfades des aufgebauten Leistungsmessplatzes. P_{Del} = abgegebene Leistung der Quelle, P_{Ref} = reflektierte Leistung am DUT. P_{In} = aufgenommene Leistung des DUT, P_{OUT} = abgegebene Leistung des DUT, P_{Mes} = gemessene Ausgangsleistung. 62
- 4.11 Schematische Darstellung zweier Lastgeraden an einem Transistor. 62
- 4.12 Leistungskurve eines $In_{0,17}Al_{0,83}N/GaN$ -FETs im Klasse A Arbeitspunkt. $W_G = 100 \mu m$, $L_G = 0,5 \mu m$, $U_{DS} = 24 V$, $U_{GS} = -3,8 V$, $f = 2 GHz$ 64
- 4.13 Das DC-Ausgangskennlinienfeld des $InAlN/GaN$ -FETs mit eingezeichneter Lastgerade und Arbeitspunkt der Leistungsmessung. 64
- 4.14 Links: Gemessene Ausgangskennlinie eines $In_{0,17}Al_{0,83}N/GaN$ -FETs mit interpolierter RF-Leistung, Rechts: Gemessene Ausgangsleistung über die Frequenz. 65
- 4.15 Schaltexperimente an einer $InAlN/GaN$ -Struktur. Geschaltet wird von einem Klasse C-Arbeitspunkt ($U_{GS} = -12 V$) in einen offenen Kanal-Arbeitspunkt ($U_{GS} = +5 V$). Im Schaltexperiment wird die Drainspannung ebenfalls reduziert. Zwei Stromtransienten für unterschiedliche Drain-Source-Spannungen sind dargestellt ($U_{DS} = 25/30 V$ geschaltet auf $U_{DS} = 15 V$). 66
- 5.1 Schematischer Aufbau aus einer Draufsicht (links) und Seitenansicht (rechts). Die Prozessschritte sind a) MESA ätzen b) Ohmsche Kontakte c) Zuleitungen abscheiden d) Gates e) Passivierung f) Luftbrückentechnologie. . . 70
- 5.2 Schematische Darstellung der Luftbrückentechnologie: a) Kontakte mit Stützlack, b) Nach Tempersschritt, c) Luftbrücke nach Entfernen des Stützlackes. 71
- 5.3 Rasterelektronenmikroskopaufnahme eines Vielfingerleistungstransistors. 72
- 5.4 Ausgangskennlinie eines $Al_{0,28}Ga_{0,72}N/GaN$ -FETs mit Si_3N_4 -Passivierung. $L_G = 0,25 \mu m$, $W_G = 4,8 mm$. Gemessen bei einer Strombegrenzung von $1,8 A$ 72
- 5.5 Leistungskurve eines $Al_{0,28}Ga_{0,72}N/GaN$ -FETs im Klasse AB Arbeitspunkt. $W_G = 4,4 mm$, $L_G = 0,25 \mu m$, $U_{DS} = 34 V$, $U_{GS} = -4 V$, $f = 2 GHz$, gepulst mit $T_P = 4 \mu s$ und einem Tastverhältnis von 2 %. 73

5.6	a) Aufnahme eines Flip-Chip gebondeten Multifingertransistors ($W_G = 4,8 \text{ mm}$, $L_G = 0,25 \text{ }\mu\text{m}$) auf einem Aluminiumnitrid Substrat nach [197]. Erkennbar sind die galvanisierten Kontaktzuleitungen. b) Vergleich der Ausgangskennlinie des Transistors aus a) auf dem Wafer und nach dem Flip-Chip bonden. Deutlich ist ein höherer Ausgangsstrom durch verbesserte Wärmeableitung sichtbar.	75
5.7	Vergleich zweier Leistungsmessungen einer Transistorstruktur im Klasse A Arbeitspunkt auf dem Wafer und nach dem Sägen. Das Aspektverhältnis Höhe/Breite beträgt 1/3. Eine um 2 dB gedämpfte Ausgangsleistung ist für den gesägten Fall ermittelt worden ($W_G = 240 \text{ }\mu\text{m}$, $L_G = 0,25 \text{ }\mu\text{m}$).	76
5.8	Schematische Darstellung eines Verstärkermoduls.	78
5.9	Photo eines aufgebauten Verstärkermoduls.	79
6.1	Schematischer Aufbau der Platine eines Einzeltransistor Moduls. a) Physikalische Komponenten b) Equivalenter Hochfrequenzpfad.	81
6.2	Leistungsmessung eines Multifingertransistors aufgebaut in einem Verstärkermodul im Klasse AB-Arbeitspunkt mit einer absoluten Ausgangsleistung von 2 W (3,3 W/mm) und einer Effizienz von 32 % an einer Lastgeraden von 50 Ω . Eckdaten: $W_G = 600 \text{ }\mu\text{m}$, $f = 2 \text{ GHz}$, $U_{DS} = 15 \text{ V}$	82
6.3	Leistungsmessung eines Multifingertransistors integriert in einem Verstärkermodul im Klasse AB-Arbeitspunkt mit einer absoluten Ausgangsleistung von 1,8 W (3,1 W/mm) an einer Lastgeraden von 50 Ω . Eckdaten: $W_G = 600 \text{ }\mu\text{m}$, $f = 5 \text{ GHz}$, $U_{DS} = 15 \text{ V}$, $U_{GS} = -1,5 \text{ V}$	83
6.4	Leistungsmessung eines Multifingertransistors integriert in ein Verstärkermodul im Klasse B-Arbeitspunkt mit einer absoluten Ausgangsleistung von 8,1 W (0,92 W/mm) an einer Lastgeraden von 50 Ω . Eckdaten: $W_G = 8800 \text{ }\mu\text{m}$, $f = 2 \text{ GHz}$, $U_{DS} = 32 \text{ V}$	84
6.5	Schematischer Aufbau eines Balancierten Verstärkermodule (Balanced Amplifier Module).	84
6.6	Leistungsmessung an einem Balancierten Verstärkermodul. $L_G = 0,25 \text{ }\mu\text{m}$, $W_G = 2 \times 1,5 \text{ mm}$, $f = 2 \text{ GHz}$, $U_{DS} = 15 \text{ V}$, $Z_L = 50 \text{ }\Omega$	86
6.7	Leistungsmessung an einer Serienschaltung aus einem Einzeltransistorverstärkermodul und blancierte Verstärkermodul im AB-Arbeitspunkt bei 2 GHz. Eine lineare Verstärkung von 23 dB wird dabei erzielt mit einer maximalen Ausgangsleistung von 1,6 W $L_G = 0,25 \text{ }\mu\text{m}$, $W_G = 2 \times 1,5 \text{ mm}$, $f = 2 \text{ GHz}$, $U_{DS} = 15 \text{ V}$, $Z_L = 50 \text{ }\Omega$	87

Literaturverzeichnis

- [1] R. W. Keyes, *Proceedings in IEEE*, vol. 225, no. 60 (1972).
- [2] A. Johnson *RCA Rev.*, vol 163, no. 26 (1965).
- [3] Y. Okamoto, Y. Ando, T. Nakayama, K. Hataya, H. Miyamoto, T. Inoue, M. Senda, K. Hirata, M. Kosaki N. Shibata, M. Kuzuhara, “High-Power Recessed-Gate AlGa_N-Ga_N HFET With a Field-Modulating Plate”, *IEEE Transactions on Electron Devices*, vol. 51, no. 12, pp. 2217–2221, December 2004.
- [4] Y.-F. Wu, A. Saxler, M. Moore, R. P. Smith, S. Sheppard, P. M. Chavarkar, T. Wisleder, U. K. Mishra, P. Parikh, “30-W/mm Ga_N HEMTs by Field Plate Optimization,” *IEEE Electron Device Letters*, vol. 25, no. 3, pp. 117–119 (2004).
- [5] St. H. Wemple, W. C. Niehaus, H. M. Cox, J. V. Dilozenzo, W. O. Schlosser, “Control of Gate-Drain Avalanche in GaAs MESFET’s”, *IEEE Transactions on Electron Devices*, vol ED-27, no. 6, pp. 1013 (1980).
- [6] A. Wieszt, “Entwurf und Entwicklung eines hybriden Ga_N/AlGa_N Leistungsverstärkers für X-Band Applikationen”, *Dissertation*, Universität Ulm, Abteilung Elektronische Bauelemente & Schaltungen, November 2003.
- [7] H. Harima, *Journal of Physics: Cond. Matters*, vol. 14, pp. R967–R993, 2002.
- [8] W. J. Schaff, “In_N Grown By Molecular Beam Epitaxy for High Speed and Sensor Applications”, *2004 IEEE Lester Eastman Conference on High Performance Devices*, Plenary Session, August 4–6, New York (USA), 2004.
- [9] M. Wraback, H. Shen, J. C. Carrano, T. Li, J. C. Campbell, M. J. Schurman, I. T. Ferguson, *Applies Physics Letters*, vol. 76, pp. 1155–1157, 2000.
- [10] I. Vurgaftman, J. R. Meyer, L. R. Ram-Mohan, *Journal of Applied Pysics*, vol. 89, pp. 5815–5875, 2001.
- [11] J. Monemar, *Science: Materials in Electronics* , vol. 10, pp. 227–254, 1999.
- [12] K. Brandenburg, *Diamond Demonstration Version 2.1e*, Crystal Impact GbR, 2001.

- [13] I. Daumiller, “Herstellung und Charakterisierung von GaN-basierenden Heterostruktur-Feldeffektransistoren”, *Dissertation*, Abteilung Elektronische Bauelemente & Schaltungen, Universität Ulm, 2001.
- [14] M. Eyckeler, W. Mönch, T. U. Kampen, R. Dimitrov, O. Ambacher, M. Stutzmann, “Negative electron affinity of cesiated p-GaN (0001) surfaces” *J. Vac. Sci. Technol. B* 16, pp- 2224 (1998).
- [15] S. M. Sze, “Physics of Semiconductor Devices,” *John Wiley and Sons*, 2 edition, 1981.
- [16] R. Wethkamp, K. Wilmers, C. Cobet, N. Esser, W. Richter, O. Ambacher, M. Stutzmann, M. Cardpma. “Dielectric function of hexagonal AlN films determined by spectroscopic ellipsometry in the vacuum-uv spectral range” *Phys. Rev. B* 59, pp. 1845 (1999).
- [17] W. P. Mason, “Chrystal physics of interaction process”, *Academic Press*, New York (1996).
- [18] H. Harima, *Journal of Physics: Condensed Matters*, vol 14, pp. R967–993, 2002.
- [19] D. Brunner, H. Angerer, E. Bustarret, F. Freudenberg, R. Höppler, R. Dimitrov, O. Ambacher, M. Stutzmann, “Optical Properties of Epitaxial AlGaIn Films and their Temperature Dependence”, *Journal of Applied Physics*, vol. 82, pp. 5090, 1997.
- [20] S. Kaiser, H. Preis, W. Gebhardt, O. Ambacher, H. Angerer, M. Stutzmann, A. Rosenauer, D. Gerthsen, “Quantitative TEM investigations to the relaxation by misfit dislocations confined at the interface ao GaN/Al₂O₃(0001)”, *Japanese Journal of Applied Physics*, vol. 37, pp. 84, 1998.
- [21] O. Ambacher, “Piezoelektrische und spontane Polarisierung in Gruppe-III-Nitriden”, *Habilitation*, Walter Schottky Institut, München, 2000.
- [22] O. Ambacher, F. Freudenberg, R. Dimitrov, H. Angerer, M. Stutzmann, “Nitrogen self-diffusion in Ga¹⁴N/Ga¹⁵N isotope heterostructures”, *Japanese Journal of Applied Physics*, vol. 37, pp. 2416, 1998.
- [23] A. C. Frank, F. Stowasser, C. R. Miskys, O. Ambacher, M. Giersig, R. A. Fischer, “Nitrogen self-diffusion in Ga¹⁴N/Ga¹⁵N isotope heterostructures”, *Journal of American Society*, vol. 120, pp. 3512, 1998.
- [24] M. S. Brandt, P. Herbst, H. Angerer, O. Ambacher, M. Stutzmann, “Thermopower investigation of p-type doping in GaN”, *Physical Review B*, vol. 58, pp. 7786, 1998.

- [25] T. Zimmermann, M. Neuburger, M. Kunze, I. Daumiller, A. Denisenko, A. Dadgar, A. Krost, E. Kohn, "P-channel InGaN-HFET structure based on polarization doping", *IEEE Electron Device Letters*, vol. 25, no. 7, pp. 450–452, 2004.
- [26] Paul-Drude-Institut für Festkörperelektronik, (Al,Ga)N/GaN field-effect transistor structures grown on 4H-SiC(0001) by plasma-assisted molecular beam epitaxy "Scientific Report", <http://www.pdi-berlin.de/jabe99/inhalt99.htm>, Berlin, 1999.
- [27] P. Ramvall, Y. Aoyagi, "Influence of a piezoelectric field on the electron distribution in a double GaN/Al_{0.14}Ga_{0.86}N heterojunction", *Applied Physics Letters*, vol. 74, no. 25, pp. 3866–3868, 1999.
- [28] G. Koley, M. G. Spencer, H. R. Bhangale, "Cantilever effect on the measurement of electrostatic potentials by scanning Kelvin probe microscopy", *Applied Physics Letters*, vol. 79, no. 5, pp. 545–547, 2001.
- [29] A. Krtschil, A. Dadgar, A. Krost, "Decoration effects as origin of dislocation-related charges in gallium nitride layers investigated by scanning surface potential microscopy", *Applied Physics Letters*, vol. 82, no. 14, pp. 2263–2265, 1999.
- [30] D. Jena, S. Heikman, D. Green, D. Buttari, R. Coffie, H. Xing, S. Keller, S. DenBaars, J. S. Speck, U. K. Mishra, "Realization of wide electron slabs by polarization bulk doping in grade III-V nitride semiconductor alloys", *Applied Physics Letters*, vol. 81, no. 23, pp. 4395–4397, 2004.
- [31] A. Dadgar, M. Poschenrieder, I. Daumiller, M. Kunze, A. Strittmatter, T. Riemann, F. Bertram, J. Bläsing, F. Schluze, A. Reiher, A. Krtschil, O. Contreras, A. Kaluza, A. Modlich, M. Kamp, L. Reißmann, A. Diez, J. Christen, F. A. Ponce, D. Bimberg, E. Kohn, A. Krost, "Gallium-nitride-based device on silicon", *Physica Status Solidi (c)*, no. 6, pp. 1940–1949, 2003.
- [32] E. Kohn, "Skript Technische Elektronik II", *Universität Ulm*, 1999.
- [33] M. B. Das, M. L. Roszak, "Design calculation for submicron gate-length AlGaAs/GaAs modulation doped FET structures", *Solid State Electronics*, vol. 28,10, pp. 997–1005, 1995.
- [34] A. Dadgar, M. Poschenrieder, J. Bläsing, O. Contreras, F. Bertram, T. Riemann, A. Reiher, M. Kunze, I. Daumiller, A. Krtschil, A. Diez, A. Kaluza, A. Modlich, M. Kamp, J. Christen, F. A. Ponce, E. Kohn, A. Krost, "MOVPE growth of GaN on Si(111) substrates", *Journal of Crystal Growth*, vol. 248, pp. 556–562, 2003.
- [35] A. Chini, R. Coffie, G. Meneghesso, E. Zanoni, D. Buttari, S. Heikman, S. Keller, U. K. Mishra, "2.1 A/mm current density AlGaIn/GaN HEMT", *IEEE Electronics Letters*, vol. 39, no. 7, pp. 625–626, 2003.

- [36] <http://www.rfcafe.com/references/electrical/s-h-y-z.htm>
- [37] P. L. Hower, N. G. Bechtel, "Current Saturation and Small-Signal Characteristics of GaAs Field-Effect Transistors", *IEEE Transactions on Electron Devices*, vol. ED-20, no. 3, pp. 213-220, 1973.
- [38] S. J. Pearton, C. R. Abernathy, C. B. Vartuli, J. C. Zolper, C. Yuan, R. A. Stall, "Ion implantation doping and isolation of GaN", *Applied Physics Letters*, vol. 67, no. 10, pp. 1435-1438, 2004.
- [39] S. Rajan, H. Xing, S. DenBaars, U. K. Mishra, D. Jena, "AlGaIn/GaN polarization-doped field-effect transistor for microwave power applications", *Applied Physics Letters*, vol. 84, no. 9, pp. 1591-1593, 2004.
- [40] Persönliche Gespräche mit Dipl.-Ing. T. Zimmermann.
- [41] H. Marchand, L. Zhao, N. Zhang, B. Moran, R. Coffie, U. K. Mishra, J. S. Speck, S. P. DenBaars, "Metalorganic chemical vapor deposition of GaN on Si(111): Stress control and application to field-effect transistors", *Journal of Applied Physics*, vol. 89, no. 12, pp. 7846-7851, 2001.
- [42] M. Neuburger, "Simulation von GaN basierenden FETs", *Studienarbeit*, Elektronische Bauelemente & Schaltungen, Universität Ulm, Juni 2000.
- [43] G. Simin, A. Koudymov, H. Fatima, J. Zhang, J. Yang, M. A. Khan, X. Hu, A. Tarakji, R. Gaska, M. S. Shur, " $\text{SiO}_2/\text{AlGaIn}/\text{InGaIn}/\text{GaN}$ MOSDHFTs", *IEEE Electron Device Letters*, vol. 23, no. 8, pp. 458-460, 2002.
- [44] Y. Hsin, H. Hsu, C. C. Chuo, J. I. Chyi, "Device Characteristics of the GaN/InGaIn-Doped Channel HFETs", *IEEE Electron Device Letters*, vol. 22, no. 11, pp. 501-503, 2001.
- [45] J. Kuzmík, "InAlN/(In)GaN high electron mobility transistors: some aspects of the quantum well heterostructure proposal", *Semiconductor Science & Technology*, vol. 17, pp. 540-544, 2002.
- [46] M. Neuburger, T. Zimmermann, M. Kunze, I. Daumiller, A. Dadgar, J. Bläsing, A. Krost, E. Kohn, "Unstrained InAlN/GaN-FET," *IEEE Lester Eastman Conference On High Performance Devices*, Troy, New York (USA), August 2004.
- [47] A. Mainwood, "Electronic band structure of diamond", *Properties and Growth of Diamond*, INSPEC, pp. 5, 1994.
- [48] A. T. Collins, "Breakdown field and saturated carrier velocity in diamond", *Properties and Growth of Diamond*, INSPEC, pp. 228, 1994.

- [49] R. Berman, "Density, lattice constant and expansion coefficient of diamond", *Properties and Growth of Diamond*, INSPEC, pp. 23, 1994.
- [50] A. Aleksov, "Konzepte und Technologie für diamantbasierende Feldeffekttransistoren", *Dissertation*, Elektronische Bauelemente & Schaltungen, Universität Ulm, 2002.
- [51] M. Neuburger, I. Daumiller, M. Kunze, B. Jogai, J. Van Nostrand, J. Sewell, T. Jenkins, E. Kohn "Design of GaN based Field Effect Transistor Structure based on Doping Screening of Polarization Field", *7th International Workshop on Wide Band-gap III-Nitrides*, Richmond, Virginia (USA), March 2002.
- [52] M. Neuburger, I. Daumiller, M. Kunze, E. Kohn, "On the design of double Barrier AlGaIn/GaN HFET Structures," *26th Workshop on Compound Semiconductor Devices and Integrated Circuits held in Europe*, Moscow, Russia, May 2002.
- [53] A. D. Carlo, F. D. Sala, P. Lugli, V. Fiorentini, F. Bernardini, "Doping screening of polarization fields in nitride heterostructures", *Applied Physics Letters*, vol. 75, no. 26, pp. 3950–3952, 2000.
- [54] K. Asmo, Y. Miyoshi, K. Ishikura, Y. Nashimoto, M. Kuzuhara, M. Mizuta, "Novel highpower AlGaIn/GaAs HFET with a field-modulating plate operated at 35 V drain voltage", *IEEE International Electron Device Meeting*, Technical Digest, pp. 59–62, 1998.
- [55] I. Daumiller, C. Kirchner, M. Kamp, K. J. Ebeling, E. Kohn "Evaluation of the Temperature Stability of AlGaIn/GaN Heterostructure FET's", *IEEE Electron Device Letters*, vol. 20, no. 9, pp. 448-450, 1999.
- [56] E. Kohn, I. Daumiller, M. Kunze, M. Neuburger, M. Seyboth, T. J. Jenkins, J. S. Sewell, J. V. Norstand, Y. Smorchkova, U. K. Mishra, "Transient Characteristics of GaN-Based Heterostructure Field-Effect Transistors", *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 2, pp. 634–642, 2003.
- [57] I. Daumiller, C. Gaquière, A. Vescan, R. Dietrich, A. Wieszt, H. Leier, R. Vetury, U. K. Mishra, I. P. Smorchkova, S. Keller, N. X. Nguyen, C. Nguyen, E. Kohn, "Current Instabilities in GaN-Based Devices", *IEEE Electron Device Letters*, vol. 22, no. 2, pp. 62-64, 2001.
- [58] R. Vetury, Y. -F. Wu, P. T. Fini, G. Parish, S. Keller, S. P. DenBaars, U. K. Mishra, "Direct Measurement of Gate Depletion in High Breakdown (405 V) AlGaIn/GaN Heterostructure Field Effect Transistors", *International Electron Device Meeting 1998*, *Converenc Journal* pp. 3.2.1–3.2.4, 98-55.
- [59] G. Koley, H. Y. Cha, V. Tilak, L. F. Eastman, M. G. Spencer, "Modulation of Surface Barrier in AlGaIn/GaN Heterostructures", *Physica Status Solidi (b)*, vol. 234, no. 3, pp. 734–737, 2002.

- [60] G. Koley, V. T. Tilak, L. F. Eastman, M. G. Spencer, “Slow Transients Observe in AlGa_N/Ga_N HFETs: Effect of SiN_x Passivation and UV Illumination”, *IEEE Transactions on Electron Devices*, vol. 50, no. 4, pp. 886–893, 2003.
- [61] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, U. K. Mishra, “Polarization effects, surface states, and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors”, *Applied Physics Letters*, vol. 77, no. 2, pp. 250–252, 2000.
- [62] R. Vetry, N. Q. Zhang, S. Keller, U. K. Mishra, “The Impact of Surface States on the DC and RF Characteristics of AlGa_N/Ga_N HFETs”, *IEEE Transactions on Electron Devices*, vol. 48, no. 3, pp. 560–566, 2001.
- [63] G. Meneghesso, G. Verzellesi, R. Pierobon, F. Rampazzo, A. Chini, U. K. Mishra, C. Canali, E. Zanoni, “Surface-Related Drain Current Dispersion Effects in AlGa_N-Ga_N HEMTs”, *IEEE Transaction on Electron Devices*, vol. 51, no. 10, pp. 1554–1561, 2004.
- [64] M. Neuburger, I. Daumiller, T. Zimmermann, M. Kunze, G. Koley, M. G. Spencer, A. Dadgar, A. Krtschil, A. Krost, E. Kohn, “Surface stability of InGa_N-channel based HFETs”, *IEE Electronics Letters*, vol. 39, no. 22, pp. 1614–1616, 2003.
- [65] E. Kohn, I. Daumiller, M. Kunze, M. V. Nostrand, J. Sewell, T. Jenkins, “Switching behaviour of Ga_N based HFETs: thermal and electronic transients”, *IEE Electronics Letters*, vol. 38, no. 12, pp. 603–605, 2002.
- [66] E. Kohn, I. Daumiller, P. Schmid, N. X. Nguyen, C. N. Nguyen, “Large signal frequency dispersion of AlGa_N/Ga_N heterostructure field effect transistors”, *IEE Electronics Letters*, vol. 35, no. 12, pp. 1022–1024, 1999.
- [67] N. Nguyen, N. X. Nguen, D. E. Grider, “Drain current compression in Ga_N MOD-FETs under large-signal modulation at microwave frequencies”, *IEE Electronics Letters*, vol. 35, pp. 1380–1382, 1999.
- [68] R. Dietrich, “AlGa_N/Ga_N HEMTs für Leistungsanwendungen”, *Dissertation*, Universität Würzburg, 2001
- [69] P. Ldabrooke, S. Blight, “Low-Field Low-Frequency Dispersion of Transconductance in GaAs MESFETs with Implications for other Rate-Dependent Anomalies”, *IEEE Transactions on Electron Devices*, vol. 35, no. 3, pp. 257, 1988.
- [70] G. Meneghesso, A. Paccagnella, Y. Haddab, C. Canali, E. Zanoni, “Evidence of interface trap creation by hot electrons in AlGa_N/GaAs HEMTs”, *Applied Physics Letters*, vol. 69, no. 10, pp. 1411–1413, 1996.
- [71] R. J. Trew, U. k. Mishra, “Gate Breakdown in MESFETs and HEMTs”, *IEEE Electron Device Letters*, vol. 12, no. 10, pp. 524–526, 1991.

- [72] B. M. Green, K. K. Chu, E. M. Chumbes, J. A. Smart, J. R. Shealy, L. F. Eastman, "The effect of surface passivation on the microwave characteristics of undoped AlGa_N/Ga_N HEMTs", *IEEE Electron Device Letters*, vol. 21, pp. 268–270, 2000.
- [73] H. Kim, R. T. Thompson, V. Tilak, T. R. Prunty, J. R. Shealy, L. F. Eastman, "Effects of Si₃N₄ Passivation and High-Electric Field on AlGa_N-Ga_N HFET Degradation", *IEEE Electron Device Letters*, vol. 24, no. 7, pp. 421–423, 2003.
- [74] H. Kim, R. M. Thompson, V. Tilak, T. R. Prunty, J. R. Shealy, L. F. Eastman, "Effects of Si₃N₄ passivation and High-Electric Field on AlGa_N/Ga_N-Ga_N HFET Degradation", *IEEE Electron Device Letters*, vol. 24, pp. 421–423, 2003.
- [75] D. K. Sahoo, R. K. Lal, H. Kim, V. Tilak, L. F. Eastman, "High-Field Effects in Silicon Nitride Passivated Ga_N MODFETs", *IEEE Transactions on Electron Devices*, vol. 50, no. 5, pp. 1163–1169, 2003.
- [76] J. Li, S. J. Cai, G. Z. Pan, Y. L. Chen, C. P. Wen, K. L. Wang, "High breakdown voltage Ga_N HFET with field plate", *IEE Electronics Letters*, vol. 37, no. 3, pp. 196–197, 2001.
- [77] W. Saito, Y. Takada, M. Kuraguchi, K. Tsuda, I. Omura, T. Ogura, "600V AlGa_N/Ga_N Power-HEMT: Design, Fabrication and Demonstration on High Voltage DC-DC Converter", *IEEE International Electron Devices meeting 2003*, Session 23: Quantum Electronics and Compound Semiconductors – Wide Bandgap Power Electronics, Washington (USA), 2003.
- [78] A. Chini, D. Buttari, R. Coffie, S. Heikman, S. Keller, U. K. Mishra, "12 W/mm power density AlGa_N/Ga_N HEMTs on sapphire substrate", *IEE Electronics Letters*, vol. 40, no. 1, pp. 73–74, 2004.
- [79] S. Karmalkar, U. K. Mishra, "Enhancement of Breakdown Voltage in AlGa_N/Ga_N High Electron Mobility Transistors Using a Field Plate", *IEEE Transactions on Electron Devices*, vol. 48, pp. 1515–1521, 2001.
- [80] S. Karmalkar, U. K. Mishra, "Enhancement of Breakdown Voltage in AlGa_N/Ga_N High electron Mobility Transistors", *IEEE Transactions on Electron Devices*, vol. 48, no. 8, pp. 1515–1521, 2001.
- [81] H. Xing, Y. Dora, A. Chini, S. Heikman, S. Keller, U. K. Mishra, "High Breakdown Voltage AlGa_N-Ga_N HEMTs Achieve by Multiple Field Plates", *IEEE Electron Device Letters*, vol. 25, no. 4, pp. 161–163, 2004.
- [82] R. Gaska, A. Osinsky, J. W. Yang, M. S. Shur, "Self-Heating in High-Power AlGa_N-Ga_N HFET's", *IEEE Electron Device Letters*, vol. 19, no. 3, pp. 89–91, 1998.

- [83] M. Kuball, J. M. Hayes, M. J. Uren, T. Martin, J. C. H. Birbeck, R. S. Balmer, B. T. Hughes, “Measurement of Temperature in Active High-Power AlGa_N/Ga_N HFETs Using Raman Spectroscopy”, *IEEE Electron Device Letters*, vol. 23, no. 1, pp. 7–9, 2002.
- [84] Y. Zhao, C. Zhu, S. Wang, J. Z. Tian, D. J. Yang, C. K. Chen, H. Cheng, and P. Hing, “Pulsed photothermal reflectance measurement of the thermal conductivity of sputtered aluminium nitride thin films”, *Journal of Applied Physics*, vol. 96, no. 8, pp. 4563-4568, October 2004.
- [85] J. Kuzmík, S. Bychikhin, M. Neuburger, A. Dadgar, A. Krost, E. Kohn, D. Pogany, “Thermal Transient Characterization of AlGa_N/Ga_N HEMTs Grown on Silicon”, *to be published in IEEE Electron Device Letters*.
- [86] D. Geiger, “Optimierung von Heterostruktur/Feldeffekttransistoren auf Galliumarsenid-Basis für Leistungsanwendungen im Millimeterwellen-Bereich”, *DDD Druck und Verlag*, ISBN 3-931713-32-6, 1996.
- [87] M. K. Sunkara, S. Sharma, R. Miranda, G. Lian, E. C. Dickey, “Bulk synthesis of silicon nanowires using a low-temperature vapor liquid-solid-method”, *Applied Physics Letters*, vol. 79, no. 10, pp. 1546–1548, 2001.
- [88] H. Marchand, J. P. Ibbetson, P. T. Fini, X. H. Wu, S. Keller, S. P. DenBaars, J. S. Speck, U. K. Mishra, “Fast lateral epitaxial overgrowth of Gallium Nitride by metalorganic chemical vapor deposition using a two-step process”, *MRS Internet Journal Nitride Semiconductor Research*, vol. 4S1, no. G4.5, 1999.
- [89] A. Hashimoto, Y. Aiba, T. Motizuki, M. Ohkubo, A. Yamamoto, “Initial growth stage of Ga_N on Si substrate by alternating source supply using demethylhydrazine”, *Journal of Crystal Growth*, vol. 175/176, pp. 129–133, 1997.
- [90] A. Munkholm, C. Thompson, M. V. Ramana, M. Murty, J. A. Easman, O. Auciello, G. B. Stephenson, P. Fini, S. P. DenBaars, J. S. Speck, “Layer-by-layer growth of Ga_N induced by Silicon”, *Applied Physics Letters*, vol. 77, pp. 1626–1628, 2000.
- [91] R. Graupner, Q. Ye, T. Warwick, E. Bourret-Courchesne, “Study of interface reactions between Si and Ga_N at high temperatures using scanning photoelectron microscopy and X-ray absorption spectroscopy”, *Journal of Crystal Growth*, vol. 217, pp. 55–64, 2000.
- [92] A. Dadgar, J. Christen, S. Richter, F. Bertram, A. Diez, J. Bläsing, A. Krost, A. Strittmatter, D. Bimberg, A. Alam, M. Heuken, *IPAP Conference Series*, vol. 1, no. 854, 2000.
- [93] A. Krost, A. Dadgar “Ga_N-Based Devices on Si”, *Physica Status Solidi (a)*, vol. 194, no. 2 pp. 361–375, 2002.

- [94] A. M. Witowski, K. Pakula, J. Baranowski, M. L. Sadowski, P. Wyder, “Electron effective mass in hexagonal GaN”, *Applied Physics Letters*, vol. 75, pp. 4154–4155, 1999.
- [95] A. Krost, A. Dadgar, G. Strassburger, R. Clos, “GaN-based epitaxy on silicon: stress measurements”, *Physica Status Solidi (a)*, vol. 200, no. 1 pp. 26–35, 2003.
- [96] Y. Okada, Y. Tokumaru “Precise determination of lattice parameter and thermal expansion coefficient of silicon between 300 K and 1500 K”, *Journal of Applied Physics*, vol. 56, pp. 314–320, 1984.
- [97] H. Harima, “Properties of GaN and related compounds studied by means of Raman scattering”, *Journal Physics: Condensed Matters*, vol. 14, R967–R993, 2002.
- [98] A. Dadgar, M. Poschenrieder, J. Bläsing, K. Fehse, A. Diez, A. Krost, “Tick crack-free blue light-emitting diodes on Si(111) using low temperature AlN interlayers and insitu Si_xN_y masking”, *Applied Physics Letters*, vol. 80, no. 20, pp. 3670–3672, 2002.
- [99] D. W. Jenkins, J. D. Dow, “Electronic structures and doping of InN, In_xGa_{1-x}N and In_xAl_{1-x}N”, *Physical Review B*, vol. 39, no. 5, pp. 3317–3330, 1989.
- [100] P. Javorka, A. Alam, A. Fox, M. Marso, M. Heuken, P. Kordoš, “AlGa_n/Ga_n HEMTs on silicon substrates with f_T of 32/20 GHz and f_{MAX} pf 27/22 GHz for 0.5/0.7 μ m gate length”, *IEE Electronics Letters*, vol. 38, no. 6, pp. 288–289, 2002.
- [101] A. Y. Polyakov, N. B. Smirnov, A. V. Govorkov, S. J. Pearton, “Electrical and optical properties of Fe-doped semi-insulating GaN templates”, *Applied Physics Letters*, vol. 83, no. 16, pp. 3314–3316, 2003.
- [102] S. Heikman, S. Keller, S. P. DenBaars, U. K. Mishra, “Growth of Fe doped semi-insulating GaN by metalorganic chemical vapor deposition”, *Applied Physics Letters*, vol. 81, no. 3, pp. 439–441, 2002.
- [103] I. P. Smorchkova, L. Chen, T. Mates, L. Shen, S. Heikman, B. Moran, S. Keller, S. P. DenBaars, J. S. Speck, U. K. Mishra, “AlN/GaN and (Al,Ga)N/AlN/GaN two-dimensional electron gas structures grown by plasma-assisted molecular-beam epitaxy”, *Journal of Applied Physics*, vol 90, no. 10, pp. 5196–5201, 2001.
- [104] V. W. Chin, B. Zhou, T. L. Tansley, X. Li, “Alloy-scattering dependence of electron mobility in the ternary gallium, indium, and aluminum nitrides”, *Journal of Applied Physics*, vol 77, no. 11, pp. 6064–6066, 1995.
- [105] L. Shen, S. Heikman, B. Moran, R. Coffie, N.-Q. Zhang, D. Buttari, I. P. Smorchkova, S. Keller, S. D. DenBaars, U. K. Mishra, “AlGa_n/AlN/GaN High-Power

- Microwave HEMT”, *IEEE Electron Device Letters*, vol 22, no. 10, pp. 457–459, 2001.
- [106] L. Hsu, W. Walukiewicz, “Effect of polarization fields on transport properties in AlGa_N/Ga_N heterostructures”, *Journal of Applied Physics*, vol 89, pp. 1783–1789, 2001.
- [107] M. Ramonas, A. Matulionis, L. Rota, *Semiconductor Science and Technology*, vol. 18, pp. 18–22, 2003.
- [108] A. Matulionis, J. Liberis, I. Matulioniene, *Physical Review B*, 2003.
- [109] K. T. Tsen, D. K. Ferry, A. Botchkarev, *Journal of Applied Physics*, vol 72, pp. 2132–2134, 1998.
- [110] J. Liberis, A. Matulionis, *Proceedings of the 17th International Conference on Noise and Fluctuations*, August 18-22, 2003.
- [111] L. F. Eastman, A. Matulionis, A. Vertiatchikh, “Scattering Limitations on Electron Transit Velocity in AlGa_N/Ga_N HEMTs”, *IEEE 2003 International Symposium on Compound Semiconductors ISCS 2003*, Proceedings WA1.2, Session Nitride HFETs, August 2003.
- [112] S. J. Pearton, C. B. Vartuli, C. R. Abernathy, J. D. MacKenzie, J. C. Zolper, C. Yuan, R. A. Stall, “Doping and isolation of Ga_N, InGa_N and InAl_N using ion implantation”, *Silico Carbide and Related Materials*, Proceedings of the Sixth International Conference, pp. 1023–1026, Brisol (UK), 1996.
- [113] S. J. Pearton, C. B. Vartuli, J. C. Zolper, C. Yuan, R. A. Stall, “Ion implantation doping and isolation”, *Applied Physics Letters*, lett. 67, no. 10, pp. 1435–1437, 1995.
- [114] C. Usan–Saguy, J. Salzman, R. Kalish, V. Richter, U. Tish, S. Zamir, S. Praver, “Electric isolation of Ga_N by ion implantation damage: Experimental and model”, *Applied Physics Letters*, Vol. 74, no. 17, pp. 2441–2443, 1999.
- [115] R. J. Shul, S. P. Kilcoyne, M. H. Craford, J. E. Parameter, C. B. Vartuli, C. R. Abernathy, S. J. Pearton, “High temperature electron cyclotron resonance etching of Ga_N, In_N and Al_N”, *Applied Physics Letters*, vol. 66, no. 14, pp. 1761–1763, 1995.
- [116] S. J. Pearton, R. J. Shul, G. F. McLane, C. Constantine, “Reactive Ion Etching of III–V Nitrides”, *Solid–State Electronics*, vol. 41, no. 2, pp. 159–162, 1997.
- [117] M. E. Lin, Z. F. Fan, Z. Ma, L. H. Allen, H. Morkoç, “Reactive ion etching of Ga_N using BCl₃”, *Applied Physics Letters*, vol. 64, no. 7, pp. 887–888, 1994.

- [118] I. Adesida, A. Mahajan, E. Andideh, M. A. Kahn, D. T. Olsen, J. N. Kuzina, “Reactive ion etching of gallium nitride in silicon tetrachloride plasmas”, *Applied Physics Letters*, vol. 63, no. 20, pp. 2777–2779, 1993.
- [119] I. Adesida, A. T. Ping, C. Youtsey, T. Dow, M. A. Kahn, D. T. Olsen, J. N. Kuzina, “Characteristics of chemically assisted ion beam etching of gallium nitride”, *Applied Physics Letters*, vol. 65, no. 7, pp. 889–892, 1994.
- [120] O. Breitschädel, B. Kuhn, F. Scholz, H. Schweizer, “Minimization of leakage current of recessed gate AlGaIn/GaN HEMTs by optimizing of the dry-etching process”, *Journal of Electronic Materials*, vol. 28, no. 12, pp. 1420–1423, 1999.
- [121] M. S. Minsky, M. White, E. L. Hu, “Room-temperature photoenhanced wet etching of GaN”, *Applied Physics Letters*, vol. 68, no. 11, pp. 1531–1533, 1996.
- [122] C. Youtsey, I. Adesida, G. Bulman, “Highly anisotropic photoenhanced wet etching of n-type GaN”, *Applied Physics Letters*, vol. 71, no. 15, pp. 2151–2153, 1997.
- [123] J. S. Lee, J. W. Kim, D. C. Jung, C. S. Kim, W. S. Lee, J. H. Lee, J. H. Shin, M. W. Shin, J. E. Oh, J. H. Lee, “Photo-Electrochemical Gate Recess Etching for the Fabrication of AlGaIn/GaN Heterostructure Field Effect Transistor”, *Japanese Journal of Applied Physics*, vol. 40, no. 3, pp. 198–200, 2001.
- [124] A. C. Schmitz, A. T. Ping, M. A. Khan, Q. Chen, J. W. Yang, I. Adesida, “Metal Contacts to n-Type GaN”, *Journal of Electronic Materials*, vol. 27, no. 4, pp. 255–260, 1998.
- [125] R. Y. Korotkov, J. M. Gregie, B. W. Wessels, “Optical properties of the deep Mn acceptor in GaN: Mn”, *Applied Physics Letters*, vol. 80, pp. 1731–1733, 2002.
- [126] J. I. Pankove, H. Schade, “Photoemission from GaN”, *Applied Physics Letters*, vol. 25, pp. 53–55, 1974.
- [127] V. M. Bermudez, C. -I. Wu, A. Kahn “AlN films on GaN: Sources of error in the photoemission measurement of electron affinity”, *Journal of Applied Physics*, vol. 89, no. 3, pp. 1991, 2001.
- [128] C. I. Wu, A. Kahn “Electronic states at aluminium nitride (0001)-1x1 surfaces”, *Applied Physics Letters*, vol. 74, no. 4, pp. 546–548, 1999.
- [129] P. M. Bridger, Z. Z. Bandic, E. C. Piquette, T. C. McGill, “Measurement of induced surface charges, contact potentials, and surface states in GaN by electric force microscopy”, *Applied Physics Letters*, vol. 74, no. 23, pp. 3522, 1999.
- [130] W. Liu, M. F. Li, S. J. Chua, N. Akutsu, K. Matsumoto, “Photoreflectance study on the surface states on n-type GaN”, *Semicond. Sci. Technol.*, vol. 14, pp. 399, 1999.

- [131] D. K. Schroder “Semiconductor Material and Device Characterization”, *John Wiley & Sons, Inc*, ISBN 0-471-51104-8, pp. 99-108.
- [132] M. E. Lin, Z. Ma, F. Y. Huang, Z. F. Fan, L. H. Allen, H. Morkoç, “Low resistance ohmic contacts on wide band-gap GaN”, *Applied Physics Letters*, vol. 64, no. 8, pp. 1003-1006, 1994.
- [133] D. Qiao, Z. F. Guan, J. Carlton, S. S. Lau, G. J. Sullivan, “Low resistance ohmic contacts on AlGaIn/GaN structures using implantation and the “advancing Al/Ti metallization””, *Applied Physics Letters*, vol. 74, no. 18, pp. 2652-2655, 1999.
- [134] Z. Fan, S. N. Mohammad, W. Kim, Ö. Aktas, E. Botchkarev, H. Morkoç, “Very low resistance multilayer Ohmic contact to n-GaN”, *Applied Physics Letters*, vol. 68, no. 12, pp. 1672-1675, 1996.
- [135] Y. Wu, W. Jiang, B. Keller, S. Keller, D. Kapolnek, S. Deenbars, U. K. Mishra, *Topical Workshop on III-V Nitrides Proceedings*, Nagoya, Japan, 1995.
- [136] C. Lu, H. Chen, X. Lv, X. Xie, S. N. Mohammad, “*Journal of Applied Physics*”, vol. 91, pp. 9218, 2002.
- [137] D. Qiao, L. Jia, L. S. Yu, P. M. Asbeck, S. S. Lau, S. -H. Lim, Z. L. Weber, T. E. Haynes, J. B. Barner, “Ta-based interface ohmic contacts to AlGaIn/GaN heterostructures”, *Journal of Applied Physics*, vol. 89, no. 10, pp. 5543-5547, 2001.
- [138] R. J. Trew, “Physics of Large Signal Operation of Wideband Gap FETs”, *International Microwave Symposium*, Session: Advances in GaN-based Device & Circuit Technology: Modeling and Applications, Fort Worth (USA), June, 2004.
- [139] R. J. Trew, “SiC and GaN Transistors-Is There One Winner for Microwave Power Applications?”, *Proceedings of the IEEE*, vol. 90, no. 6, pp. 1032-1047, 2002.
- [140] D. -F. Wang, F. Shiwei, C. Lu, A. Motayed, M. Jah, S. N. Mohammad, K. A. Jones, L. S. Riba, “Low-resistance Ta/Al/Ti/Au multilayer ohmic contact to n-GaN”, *Journal of Applied Physics*, vol. 89, pp. 6214-6217, 2001.
- [141] D. Buttari, A. Chini, G. Meneghesso, E. Zanoni, B. Moran, S. Heikman, N. Q. Zhang, L. Shen, R. Coffie, S. P. DenBaars, U. K. Mishra, “Systematic Characterization of Cl₂ Reactive Ion Etching for Improve Ohmics in AlGaIn/GaN HEMTs”, *IEEE Electron Device Letters*, vol. 23, no. 2, pp. 76-78, 2002.
- [142] Z. Fan, S. N. Mohammed, W. Kim, Ö. Aktas, A. E. Botchkarev, H. Morkoç, “Very low resistance multilayer ohmic contact to n-GaN”, *Applied Physics Letters*, vol. 68, pp. 1672-1674, 1996.

- [143] T. Zimmermann, "Herstellung und Charakterisierung ohmcher Kontakte auf dem Materialsystem InGaN und GaN", *Studienarbeit*, Universität Ulm, Abteilung Elektronische Bauelemente & Schaltungen, 2000.
- [144] S. M. Donavan, J. D. MacKenzie, C. R. Abernathy, S. J. Pearton, F. Ren, K. Jones, M. Cole, "InN-based Ohmic contacts to InAlN", *Applied Physics Letters*, vol. 70, no. 19, pp.
- [145] L. S. Yu, D. J. Qiao, Q. J. Xing, S. S. Lau, K. S. Boutros, J. M. Redwing, "Ni and Ti Schottky barriers on n-AlGaIn grown on SiC substrates", *Applied Physics Letters*, vol. 73, no. 2, pp. 238–240, 1998.
- [146] J. P. Ao, D. K. Kikuta, N. Kubota, Y. Naoi, Y. Ohno, "Copper Gate AlGaIn/GaN HEMT With Low Gate Leakage Current", *IEEE Electron Device Letters*, vol. 24, no. 8, pp. 500–502, 2003.
- [147] L. Wang, M. I. Nathan, T. H. Lim, M. A. Khan, Q. Chen, "High barrier height GaN Schottky diodes: Pt/GaN and Pd/GaN", *Applied Physics Letters*, vol. 68, no. 9, pp. 1267–1269, 1996.
- [148] J. D. Guo, M. S. Feng, R. J. Guo, F. M. Pan, C. Y. Chang, "Study of Schottky barriers on n-type GaN grown by low-pressure metalorganic chemical vapor deposition", *Applied Physics Letters*, vol. 67, no. 18, pp. 2657–2659, 1995.
- [149] Q. Z. Liu, L. S. Yu, S. S. Lau, J. M. Redwing, N. R. Perkins, T. F. Kuech, "Thermally stable PtSi Schottky contact on n-GaN", *Applied Physics Letters*, vol. 70, no. 10, pp. 1257–1277, 1997.
- [150] H. S. Venugopalan, S. E. Mohny, "Thermally stable rhenium Schottky contacts to n-GaN", *Applied Physics Letters*, vol. 73, no. 9, pp. 1242–1244, 1998.
- [151] A. C. Schmitz, A. T. Ping, M. A. Khan, Q. Chen, J. W. Yang, I. Adesida, "Schottky barrier properties of various metals on n-type GaN", *Semiconductor Science and Technology*, vol. 11, pp. 1464–1467, 1996.
- [152] H. Hasegawa, S. Ootomo, T. Hashizume, "Gate Leakage and Current Collapse in AlGaIn/GaN HFETs and Their Removal by a Novel Insulated Gate Structure Using Al₂O₃", *5th International Conference on Nitride Semiconductors*, paper 2.4, pp. 27–28, Nara (Japan), 2003.
- [153] M. A. Khan, X. Hu, G. Simin, A. Lunev, J. Yang, R. Gaska, M. S. Shur, "Al-GaN/GaN Metal Oxide Semiconductor Heterostructure Field Effect Transistor", *IEEE Electron Device Letters*, vol. 21, no. 2, pp. 63–65, 2000.
- [154] M. A. Khan, X. Hu, A. Tarakji, G. Simin, J. Yang, R. Gaska, M. S. Shur, "Al-GaN/GaN metal-oxide-semiconductor heterostructure field-effect transistors on SiC substrates", *Applied Physics Letters*, vol. 77, no. 9, pp. 1339–1341, 2000.

- [155] G. Simin, X. Hu, N. Ilinskaya, J. Zhang, A. Tarakji, A. Kumar, J. Yang, M. A. Khan, R. Gaska, M. S. Shur, "Large Periphery High-Power AlGaN/GaN Metal-Oxide-Semiconductor Heterostructure Field Effect Transistors on SiC with Oxide-Bridging", *IEEE Electron Device Letters*, vol. 22, no. 2, pp. 53–55, 2001.
- [156] F. Ren, M. Hong, S. N. G. chu, M. A. Marcus, M. J. Schurman, S. J. Pearton, C. R. Abernathy, "Effect of temperature on Ga₂O₃(Gd₂O₃)/GaN metal-oxide-semiconductor field-effect transistors", *Applied Physics Letters*, vol. 73, no. 26, pp. 3893–3895, 1998.
- [157] K. Y. Park, H. I. Cho, J. H. Lee, C. M. Jun, J. R. Lee, J. H. Lee, "Fabrication of AlGaN/GaN MIS-HFETs Using Al₂O₃ high k dielectric", *5th International Conference on Nitride Semiconductors*, Proceedings Fr-A10.4, pp. 176, Nara (Japan), 2003.
- [158] X. Hu, A. Koudymov, G. Simin, J. Yang, M. A. Khan, A. Tarakji, M. S. Shur, R. Gaska, "*Si₃N₄*/AlGaN/GaN-metal-insulator-semiconductor heterostructure field-effect transistors", *Applied Physics Letters*, vol. 79, no. 17, pp. 2832–2834, 2001.
- [159] B. Gaffey, L. J. Guido, X. W. Wang, T. P. Ma, "High-Quality Oxide/Nitride/Oxide Gate Insulator for GaN MIS Structures", *IEEE Transactions on Electron Devices*, vol. 48, no. 3, pp. 458–463, 2001.
- [160] P. J. Hansen, L. K. Shen, Y. Wu, Y. Terao, S. Keiman, S. P. DenBaars, R. A. York, J. S. Speck, U. K. Mishra, "AlGaN/GaN Metal Oxide Semiconductor Field Effect Transistors using Barium Strontium Titanate", *International Workshop on Nitride Semiconductors*, Proceedings [071–A09–269], Aachen (Germany), 2002.
- [161] P. Hacke, T. Detchprohm, K. Hiramatsz, N. Savaki, "Schottky barrier on n-type GaN grown by hybride vapor phase epitaxy", *Applied Physics Letters*, vol. 63, no. 8, pp. 2676, 1993.
- [162] R. Held, *Mat. Sci. Forum*, vol. 1057, pp. 264–268, 1998.
- [163] A. Koudymow, G. Simin, M. A. Khan, A. Tarakji, R. Gaska, M. S. Shur, "Dynamic Current-Voltage Characteristics on III–N HFETs", *IEEE Electron Device Letters*, vol. 24, no. 11, pp. 680–682, 2003.
- [164] M. Bortz, R. French, "Optical reflectivity measurements using a laser plasma light source", *Applied Physics Letter*, vol. 55, no. 19, pp. 1955–1957, 1989.
- [165] K. Gloos, P. J. Koppinen, J. P. Pekola, "Properties of native ultrathin aluminum oxide tunnel barriers", *IOP Publishing Ltd.*, pp. 1733–1747, 2003.
- [166] <http://www.semiconfareast.com/sio2si3n4.htm>

- [167] R. Vetury, N. Q. Zhang, S. Keller, U. K. Mishra, "The impact of surface states on the DC and RF characteristics of AlGa_N/Ga_N HFETs", *IEEE Transactions on Electron Devices*, vol. 48, no. 3, pp. 560-566, 2001.
- [168] B. M. Green, K. K. Chu, E. M. Chumbes, J. A. Smart, J. R. Shealy, L. F. Eastman, "The Effect of Surface Passivation on the Microwave Characteristics of Undoped AlGa_N/Ga_N HEMT's", *IEEE Electron Device Letters*, vol. 21, no. 6, pp. 268-270, 1999.
- [169] G. Koley, V. Tilak, H. Y. Cha, L. F. Eastman, M. G. Spencer, "Surface trapping effects observed in AlGa_N/Ga_N HFETs and heterostructures", *Proceedings IEEE Lester Eastman Conference on High Performance Devices*, pp. 470-476, 2002.
- [170] S. J. Chang, Y. K. Su, Y. Z. Chiou, J. R. Chiou, B. R. Huang, C. S. Chang, J. F. Chen, "Deposition of SiO₂ Layers on Ga_N by Photochemical Vapor Deposition", *Journal of The Electrochemical Society*, vol. 150, no. 2, pp. C77-C80, 2003.
- [171] M. Neuburger, J. Allgaier, T. Zimmermann, I. Daumiller, M. Kunze, R. Birkhan, D. W. Gotthold, E. Kohn, "Analysis of surface charging effects in passivated AlGa_N/Ga_N FETs using a MOS test electrode", *IEEE Electron Device Letters*, vol. 25, no. 5, pp. 256-258, 2004.
- [172] J. K. Gillespie, R. C. Fitch, J. Sewell, R. Dettmer, G. D. Via, A. Crespo, T. J. Jenkins, B. Luo, R. Mehandru, J. Kim, F. Ren, B. P. Gila, A. H. Onstine, C. R. Abernathy, S. J. Pearton, "Effects of Sc₂O₃ and MgO Passivation Layers on the Output Power of AlGa_N/Ga_N HEMTs", *IEEE Electron Device Letters*, vol. 23, no. 9, pp. 505-507, 2002.
- [173] B. Luo, J. W. Johnson, B. P. Gila, A. Onstine, C. R. Abernathy, F. Ren, S. J. Pearton, A. G. Baca, A. M. Daboram, A. M. Wowchack, P. P. Chow, "Surface passivation of AlGa_N/Ga_N HEMTs using MBE-grown MgO or Sc₂O₃", *Solid-State Electronics*, vol. 46, pp. 467-476, 2002.
- [174] N. X. Nguyen, B. P. Keller, Y. F. Wu, M. Le, C. Nguyen, S. P. DenBaars, U. K. Mishra, D. Grider, "Ga_N/AlGa_N MODFET with 80 GHz f_{max} and >100 V gate-drain breakdown voltage", *IEEE Electronics Letters*, vol. 33, no. 4, pp. 334-335, 1997.
- [175] A. Jiménez, D. Buttari, D. Jena, R. Coffie, S. Heikman, N. Q. Zhang, L. Shen, E. Calleja, E. Muñoz, J. Speck, U. K. Mishra, "Effect of p-Doped Overlay Thickness on RF-Dispersion in Ga_N Junction FETs", *IEEE Electron Device Letters*, vol. 23, no. 6, pp. 306-309, 2002.
- [176] L. Shen, R. Coffie, D. Buttari, S. Heikman, A. Chakraborty, A. Chini, S. Keller, S. P. DenBaars, U. K. Mishra, "High-Power Polarization-Engineered

- GaN/AlGa_N/Ga_N HEMTs Without Surface Passivation”, *IEEE Electron Device Letters*, vol. 25, no. 1, pp. 7–9, 2004.
- [177] M. Neuburger, “Herstellung und Charakterisierung InGa_N–Kanal basierender Bauelemente *Diplomarbeit* Abteilung Elektronische Bauelemente & Schaltungen, Universität Ulm, 2000.
- [178] V. W. L. Chin, B. Zhou, T. L. Tansley, X. Li, “Alloy–Scattering dependence of electron mobility in the ternary gallium, indium, and aluminum nitrides”, *Journal of Applied Physics*, vol. 77, pp.
- [179] L. Raggiani, S. Bosi, C. Canali, F. Nava, S. F. Kozlov, “Hole–drift velocity in natural diamond”, *Phys. Rev.*, vol. B23, no. 6, pp. 3050, 1981.
- [180] J. Kuzmík, “Power Electronics on InAlN/(In)Ga_N: Prospect for a Record Performance”, *IEEE Electron Device Letters*, vol. 22, no. 11, pp. 510–512, 2001.
- [181] M. Higashiwaki, T. Matsui, “InAlN/GaN Heterostructure Field–Effect Transistors Grown by Plasma–Assisted Molecular–Beam Epitaxy”, *Japanese Journal of Applied Physics*, vol. 43, no. 6B, pp. 768–770, 2004.
- [182] O. Katz, D. Mistele, B. Meyler, G. Bahir, J. Salzman, “InAlN/GaN heterostructure field–effect transistor DC and small–signal characteristics”, *IEE Electronics Letters*, vol. 40, no. 20, pp. 1304–1305, 2004.
- [183] O. Katz, D. Mistele, B. Meyler, G. Bahir, J. Salzman, “Characteristics of In_xAl_{1–x}N–Ga_N High Electron Mobility Field–Effect Transistor”, *IEEE Transactions on Electron Devices*, vol. 52, no. 2, pp. 146–150, 2005.
- [184] T. Mizutani, Y. Ohno, M. Akita, S. Kishimoto, K. Maezawa, “A Study of Current Collapse in AlGa_N/Ga_N HEMTs Induced by Bias Stress”, *IEEE Transactions on Electron Devices*, vol. 50, no. 10, pp. 2015–2020, 2003.
- [185] V. Kumar, W. Lu, R. Schwindt, A. Kuliev, G. Simin, J. Yang, M. a. Khan, I. Adesida, “AlGa_N/Ga_N HEMTs on SiC With f_T of Over 120 GHz”, *IEEE Electron Device Letters*, vol. 23, no. 8, pp. 455–457, 2002.
- [186] V. Paidi, S. Xie, R. Coffie, B. Moran, S. Heikman, S. Keller, A. Chini, S. P. DenBaars, U. K. Mishra, S. Long, M. J. W. Rodwell, “High Linearity and High Efficiency of Class–B Power Amplifiers in Ga_N HEMT Technology”, *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 2, pp. 643–653, 2003.
- [187] M. Hoffmann, “Hochfrequenztechnik: Ein systemtheoretischer Zugang”, *Springer, Berlin*, ISBN 3540616675, 1997.

- [188] Y. Okamoto, Y. Ando, T. Nakayama, K. Hataya, H. Miyamoto, T. Inoue, M. Senda, K. Hirata, M. Kosaki, N. Shibata, M. Kuzuhara, "High-Power Recessed-Gate AlGa_N-Ga_N HFET With a Field-Modulating Plate", *IEEE Transactions on Electron Devices*, vol. 51, no. 12, pp. 2217-2223, 2004.
- [189] "Nitronex issued patent, demos 120 W GaN device", *Compound Semiconductors*, <http://compoundsemiconductor.net/articles/news/7/10/1/1>, 2003.
- [190] Y. Zhao, C. Zhu, S. Wang, J. Z. Tian, D. J. Yang, C. K. Chen, H. Cheng, P. Hing, "Pulsed photothermal reflectance measurements of the thermal conductivity of sputtered aluminum nitride thin films", *Journal of Applied Physics*, vol. 96, no. 8, pp. 4563-4468, 2004.
- [191] P. Schmid, "9th European Heterostructure Technology Workshop (HETECH 99)", IENM, University of Lille, Lille (France), Sept. 27-28 (1999), paper 2 in session E.
- [192] B. M. Green, S. Lee, K. Chu, K. J. Webb, L. F. Eastman, "High Efficiency Monolithic Gallium Nitride Distributed Amplifier", *IEEE Microwave and Guided Wave Letters*, vol. 10, no. 7, pp. 270-27, 2000.
- [193] R. Behtash, H. Tobler, F.-J. Berlec, V. Ziegler, H. Leier, R. S. Balmer, T. Martin, M. Neuburger, H. Schumacher, "MMIC power amplifier based on AlGa_N HEMTs at 10 GHz", *IEE Electronics Letters*, vol. 40, no. 9, pp. 564-566, 2004.
- [194] B. M. Green, V. Tilak, S. Lee, H. Kim, J. A. Smart, K. J. Webb, J. R. Shealy, L. F. Eastman, "High-Power Broad-Band AlGa_N/Ga_N HEMT MMICs on SiC Substrates", *IEEE Transactions of Microwave Theory and Techniques*, vol. 49, no. 12, pp. 2486-2493, 2001.
- [195] J.-W. Lee, L. F. Eastman, K. J. Webb, "A Gallium-Nitride Push-Pull Microwave Power Amplifier", *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 11, pp. 2243-2249, 2003.
- [196] M. S. Eggebert, P. Meisen, F. Schaudel, P. Koidl, A. Vescan, H. Leier, "Heat-spreading diamond films for Ga_N-based high-power transistor devices", *Diamond and Related Materials*, vol. 10, pp. 744-749, 2001.
- [197] T. Kechele "Herstellung von Wärmesenken für Ga_N basierende Heterostruktur-Feldeffekttransistoren", *Studienarbeit*, Abteilung Elektronische Bauelemente & Schaltungen, Juni 2003.
- [198] J. Sun, H. Fatima, A. Koudymov, A. Chitnis, X. hu, H. M. Wang, J. Zhang, G. simin, J. Yang, M. A. Khan, "Thermal Management of AlGa_N-Ga_N HFETs on Sapphire Using Flip-Chip Bonding With Epoxy Underfill", *IEEE Electron Device Letters*, vol. 24, no. 6, pp. 375-377, 2003.

- [199] B. M. Green, V. Tilak, S. Lee, H. Kim, J. A. Smart, K. J. Webb, J. R. Shealy, L. F. Eastman, "High-Power Broad-Band AlGa_N/Ga_N HETM MMIs on SiC Substrates", *IEEE Transactions on Microwave Theory and Techniques*, vol. 49, no. 12, pp. 2486-2493, 2001.
- [200] "www.Anaren.com"
- [201] Z. Fan, C. Lu, A. E. Botchkarev, H. Tang, A. Salvador, Ö. Aktas, W. Kim, H. Morkoç, "AlGa_N/Ga_N double heterostructure channel modulation doped field effect transistors (MODFETs)", *IEE Electronics Letters*, vol. 33, no. 9, pp. 814-815, 1997.
- [202] J. P. Ibbetson, P. T. Fini, K. D. Ness, S. P. DenBaars, J. S. Speck, U. K. Mishra, "Polarization effects, surface states and the source of electrons in AlGa_N/Ga_N heterostructure field effect transistors", *Applied Physics Letters*, vol. 77, no. 2, pp. 250-252, 2000.
- [203] P. B. Klein, S. C. Binaris, K. Ikossi, A. e. Wickenden, D. D. Koleske, R. L. Henry, "Current collapse and the role of carbon in AlGa_N/Ga_N high electron mobility transistors grown by metalorganic vapor-phase epitax", *Applied Physics Letters*, vol. 79, no. 21, pp. 3527-3529, 2001.
- [204] A. V. Vertiatchikh, L. F. Eastman, W. J. Schaff, T. Prunty, "Effect of surface passivation of AlGa_N/Ga_N heterostructure field-effect transistors", *IEE Electronics Letters*, vol. 38, no. 8, pp. 388-389, 2002.
- [205] Y. -Wu, B. P. Keller, P. Fini, S. Keller, T. J. Jenkins, L. T. Kehias, S. P. DenBaars, U. K. Mishra, "High Al-Content AlGa_N/Ga_N MODFET's for Ultrahigh Performance", *IEEE Electron Device Letters*, vol. 19, no. 2, pp. 50-53, 1998.
- [206] M. Berroth, R. Bosch, "Broad-Band Determination of the FET Small-Signal Equivalent Circuit", *IEEE Transactions on Microwave Theory and Techniques*, vol. 38, no. 7, pp. 891-895, 1990.
- [207] S. S. Islam, A. F. M. Anwar, R. T. Webster, "A Physics-Based Model of Frequency-Dependent Electrical Characteristics of Ga_N MESFETs", *Device Research Conference 2003*, June 23-25, Utah, 2003.
- [208] B. M. Green, V. S. Kaper, V. Tilak, J. R. Shealy, L. F. Eastman, "Dynamic loadline analysis of AlGa_N/Ga_N HEMTs", *Proceedings IEEE Lester Eastman Conference on High Performance Devices*, 2002, pp.443-52. Piscataway, NJ, USA.
- [209] J. Pozela "Physics of High-Speed Transistors", *Plenum Press NY*, 1993, pp.337.
- [210] M. Kunze, I. Daumiller, "Halbleiter-Technologiepraktikum", *Elektronische Bauelemente & Schaltungen*, 2003.

Anhang B

Erklärung

Hiermit erkläre ich, dass ich die Arbeit selbstständig und nur mit den angegebenen Hilfsmitteln angefertigt habe. Alle Stellen, die dem Wortlaut nach oder sinngemäß anderen Arbeiten entnommen wurden, sind durch Angabe der Quelle kenntlich gemacht.

Ulm, den 26. Oktober 2006

.....
(Martin Neuburger)

Anhang C

Eigene Vorveröffentlichungen

C.1 Publikationen

C.1.1 Artikel

1. E. Kohn, I. Daumiller, M. Neuburger, M. Kunze, M. Seyboth, “InGaN–Channel Field–Effect Transistors – A Case of Polarized Heterojunctions,” *Physics of Semiconductor Devices, Allied Publ. Ltd. (ISBN 81–7764–224–3)*, vol. 2, pp. 771–778, 2001.
2. M. Neuburger, I. Daumiller, M. Kunze, T. Zimmermann, B. Jogai, J. Van Nostrand, J. Sewell, T. Jenkins, A. Dadgar, A. Krost, E. Kohn, “The Role of Charge Dipoles in GaN HFET Design,” *phys. stat. sol. (c)*, vol. 0, no. 1, pp. 86–89, 2002.
3. E. Kohn, I. Daumiller, M. Kunze, M. Neuburger, M. Seyboth, T. Jenkins, J. Sewell, J. Van Nostrand, Y. Smorchkova, U. Mishra, “Transient Characteristics of GaN Based Heterostructure Field Effect Transistors,” *IEEE Transactions on Microwave Theory and Techniques*, vol. 51, no. 2, pp. 634–642, 2003.
4. M. Neuburger, I. Daumiller, M. Kunze, M. Seyboth, T. Jenkins, J. Van Nostrand, E. Kohn, “Novel GaN–Based FET–structures,” *phys. stat. sol. (c)*, vol. 0, no. 6, pp. 1919–1939, 2003.
5. R. Behtash, H. Tobler, M. Neuburger, A. Schurr, H. Leier, Y. Cordier, F. Semond, F. Natali, J. Massies, “AlGaN/GaN HEMTs on Si[111] with 6.6 W/mm output power density,” *IEE Electronics Letters*, vol. 39, no. 7, pp. 626–628, 2003.

6. M. Neuburger, I. Daumiller, T. Zimmermann, M. Kunze, G. Koley, M. G. Spencer, A. Dadgar, A. Krtschil, A. Krost, E. Kohn, "On the surface Stability of InGaN-channel based HFETs," *IEE Electronics Letters*, vol. 39, no. 22, pp. 1614–1616, 2003.
7. R. Behtash, H. Tobler, F. –J. Berlec, V. Ziegler, H. Leier, R. S. Balmer, M. Neuburger, H. Schumacher, "MMIC power amplifier based on AlGaN/GaN HEMTs at 10 GHz," *IEE Electronics Letters*, vol. 40, no. 9, pp. 564–565, 2004.
8. M. Neuburger, J. Allgaier, T. Zimmermann, I. Daumiller, M. Kunze, R. Birkhahn, D. W. Gotthold, E. Kohn, "Analysis of surface charging effects in passivated AlGaN/GaN-FETs using a MOS test electrode," *IEEE Electron Device Letters*, vol. 25 no. 5, pp. 256–259, 2004.
9. M. Kubovic, M. Kasu, I. Kalfass, M. Neuburger, A. Aleksov, G. Koley, M. G. Spencer, E. Kohn, "Microwave Performance Evaluation of Diamond Surface Channel FETs," *Diamond related materials 2004*, vol. 12, pp. 802–807, 2004.
10. T. Zimmermann, M. Neuburger, M. Kunze, I. Daumiller, A. Denisenko, A. Dadgar, A. Krost, E. Kohn, "P-Channel InGaN-HFET Structure Based on Polarization Doping," *IEEE Electron Device Letters*, vol. 25, no. 7, pp. 450–452, 2004.
11. A. Dadgar, F. Schulze, J. Bläsing, A. Diez, A. Krost, M. Neuburger, E. Kohn, I. Daumiller, M. Kunze "High sheet charge carrier density AlInN/GaN field effect transistors on Si(111)" *Applied Physics Letters*, vol. 85, pp. 5400–5403, 2004.
12. M. Neuburger, A. Dadgar, T. Zimmermann, F. Schulze, A. Krtschil, M. Günther, H. Witte, J. Bläsing, I. Daumiller, M. Kunze, A. Krost, E. Kohn, "Unstrained InAlN/GaN-HEMT Structure," *International Journal of High Speed Electronics and Systems*, Electronics and Systems, vol. 35, pp. 161–166, 2005.
13. A. Dadgar, M. Neuburger, F. Schulze, J. Bläsing, A. Krtschil, I. Daumiller, M. Kunze, K.–M. Günther, H. Witte, D. Diez, E. Kohn, E. Krost, "High-current AlInN/GaN field effect transistors," *Physica Status Solidi a*, vol. 202, no. 5, pp. 832–836, 2005.
14. J. Kuzmík, S. Bychikhin, M. Neuburger, A. Dadgar, M. Blaho, A. Krost, E. Kohn, D. Pogany, "Transient Thermal Characterization of AlGaN/GaN HEMTs grown on silicon," *IEEE Transactions on Electron Devices*, vol. 52, no. 8, pp. 1698–1704, 2005.
15. T. Zimmermann, M. Neuburger, P. Benkart, F. J. Hernández-Guillén, C. Pietzka, M. Kunze, I. Daumiller, A. Dadgar, A. Krost, E. Kohn, "Piezoelectric GaN Sensor Structures," *accepted for IEEE Electron Device Letters March 2006*.

C.1.2 Konferenzbeiträge (eingeladene)

1. E. Kohn, I. Daumiller, M. Neuburger, M. Seyboth, C. Kirchner, M. Kamp, "InGaN-Channel FETs-Growth, Technology and Characteristics," *MRS 2001 Spring Meeting Proceedings*, vol. 680E, no. E3.1, 2001.
2. M. Neuburger, I. Daumiller, M. Kunze, E. Kohn, "On the design of double Barrier AlGaIn/GaN HFET Structures," *26th Workshop on Compound Semiconductor Devices and Integrated Circuits held in Europe*, Moscow, Russia, May 2002.
3. E. Kohn, M. Neuburger, I. Daumiller, A. Krtschil, A. Krost, J. Van Nostrand, T. Jenkins, "Instabilities in GaN based FET devices-Nature and alternative structures," *203rd Meeting of the Electrochemical Society*, Vol. 12, No. 1, Abstracts 796, Paris, France, April 2003.

C.1.3 Konferenzvorträge (oral)

1. M. Neuburger, I. Daumiller, E. Kohn, "Simulation of GaN based Heterostructure FETs with InGaIn Channel," *Semiconductor Advances for Future Electronics 2000, SAFE*, Veldhoven, Netherlands, Abstracts 32, December 2000.
2. M. Neuburger, I. Daumiller, M. Kunze, B. Jogai, J. Van Nostrand, J. Sewell, T. Jenkins, E. Kohn "Design of GaN based Field Effect Transistor Structure based on Doping Screening of Polarization Field", *7th International Workshop on Wide Band-gap III-Nitrides*, Richmond, Virginia (USA), March 2002.
3. M. Seyboth, F. Habel, I. Daumiller, M. Neuburger, M. Kunze, E. Kohn, "InGaIn-channels for Field Effect Transistor Application," *44th Electronic Materials Conference, IEEE*, Santa Barbara, California (USA), June 2002.
4. M. Neuburger, I. Daumiller, M. Kunze, M. Seyboth, T. Zimmermann, "Stability Investigation of InGaIn-HFETs," *WOCSEMMAD 03*, Atlanta, Georgia (USA), February 2003.
5. T. Zimmermann, M. Neuburger, I. Daumiller, M. Kunze, A. Denisenko, A. Dadgar, A. Krost, E. Kohn, "P-Channel InGaIn-HFETs structure based on polarization doping," *61st Device Research Conference 2003, IEEE*, Salt Lake City, Utah (USA), June 2003.
6. E. Kohn, M. Neuburger, T. Zimmermann, R. Birkhahn, D. W. Gotthold, "Characterization of Surface Charging Effects in Passivated GaIn-Based HFETs using MOS Test Electrode," *WOCSEMMAD 04*, Pasadena, California (USA), February 2004.

7. M. Neuburger, T. Zimmermann, I. Daumiller, M. Kunze, A. Dadgar, A. Krost, E. Kohn, "Characteristics of AlGaN/GaN–HFETs on 111–Silicon," *Third Joint Symposium on Opto– & Microelectronic Devices and Circuits*, Wuhan, Hubei (China), March 2004.
8. M. Neuburger, M. Kunze, I. Daumiller, T. Zimmermann, A. Dadgar, A. Krost, S. Hettich, H. Schumacher, E. Kohn, "Balanced AlGaN/GaN–HFET Amplifier based on 111 Silicon Substrate," *2004 International Conference on Compound Semiconductor Manufacturing Technology (GaAs MANTECH)*, pp. # 6.5, Miami Beach, Florida (USA), May 2004.
9. R. Behtash, H. Tobler, F. J. Berlec, V. Ziegler, H. Leier, B. Adelseck, T. Martin, R. Balmer, D. Pavlidis, R. H. Jansen, M. Neuburger, H. Schumacher, "Coplanar AlGaN/GaN HEMT power amplifier MMIC at X–band," *2004 International Microwave Symposium*, Session: TH3C–3, Fort Worth, Texas (USA), June 2004.
10. M. Neuburger, T. Zimmermann, I. Daumiller, P. Benkart, M. Kunze, A. Dadgar, A. Krost, E. Kohn, "GaN Based Piezo Sensors," *62st Device Research Conference 2004*, Session: PM IL–B8, Notre Dame, Indiana (USA), June 2004.
11. M. Neuburger, T. Zimmermann, M. Kunze, I. Daumiller, A. Dadgar, J. Bläsing, A. Krost, E. Kohn, "Unstrained InAlN/GaN–FET," *IEEE Lester Eastman Conference On High Performance Devices*, Troy, New York (USA), August 2004.
12. K. Kuzmík, S. Bychikhin, M. Neuburger, E. Kohn, D. Pogany, "Transient interferometry mapping of dissipated power in Si/GaN/AlGaN HEMTs," *Target Network of Excellence*, Netherlands, September 2004.
13. D. Dadgar, M. Neuburger, E. Kohn, A. Krost, "Wachstum von InAlN," *Deutsche Gesellschaft für Kristallwachstum und Kristallzüchtung*, Freiburg (Germany), December 2004.
14. D. Dadgar, A. Krtschil, H. Witte, A. Diez, A. Krost, M. Neuburger, E. Kohn, I. Daumiller, K. Kunze, "AlInN basierte elektronische und optoelektronische Bauelemente," *Deutsche Physikalische Gesellschaft*, Frühjahrstagung, Berlin, 2005.
15. J. Kuzmík, S. Bychikhin, M. Neuburger, A. Dadgar, M. Blaho, A. Krost, E. Kohn, D. Pogany, "Transient Self–Heating Effects in AlGaN/GaN HEMTs", *2005 Electronic Materials Conference*, Santa Barbara (USA), June 2005.
16. M. Neuburger, E. Kohn, Z. Sitar, C. Kirchner, F. Scholz, "High Temperature Characteristics of AlN, *WOCSEMMAD 04*, 21–24 February, USA, 2005
17. A. Dadgar, H. Witte, J. Bläsing, A. Krtschil, A. Diez, A. Krost, M. Neuburger, E. Kohn, I. Daumiller, M. Kunze, "MOVPE Growth of AlInN FETs on Si substrates" *11th European Workshop on Metalorganic Vapour Phase Epitaxy* 5–8 June, Lausanne (Switzerland), 2005.

18. M. Neuburger, E. Kohn, I. Daumiller, M. Kunze, A. Dadgar, A. Krost, "InAlN/GaN-FET – A novel Device Structure for High Power Application" *El EM '05, Network Target of Excellence*, 12–16 April, Orvieto Palazzo del Capitano del Popolo, (Italy), 2005.
19. H. E.–Hajj, M. Neuburger, S. Lorch, M. Schwitter, D. Twitchen, E. Kohn, "PIP MISFET structure with 150 nm contact spacing opened into a boron delta doped contact layer" *16th European Conference on Diamond*, 11–16 September, Toulouse (France), 2005.
20. M. Schwitters, M. P. Dixon, A. Tajani, D. J. Twitchen, S. E. Coe, H. El–Haji, M. Kubowic, M. Neuburger, A. Kaiser, E. Kohn "Diamond–MESFETs – Synthesis and Integration" *rm2nd Electro Magnetic Remote Sensing Defence Technology Centrum (EMRS DTC) Technical Conference*. 16–17 June, Edinburgh (England), 2005.
21. A. Dagdar, J. Blaesing, C. Hums, M. Neuburger, I. Daumiller, M. Kunze, H. Witte, A. Krtschil, A. Diez, E. Kohn, A. Krost, "MOVPE growth of AlInN based devices" *to be given at the MRSFall 2005*.

C.1.4 Konferenzbeiträge (Poster)

1. M. Neuburger, I. Daumiller, P. Schmid, C. Kirchner, M. Seyboth, M. Kamp, E. Kohn, "Device Simulation and Characterization of GaN/InGaN/GaN Heterostructure FETs," *10th European Heterostructure Technology Workshop, HETECH*, Günzburg, Germany, Abstracts: Late Submission, September 2000.
2. M. Neuburger, I. Daumiller, M. Kunze, T. Zimmermann, B. Jogai, J. van Nostrand, J. Sewell, T. Jenkins, A. Dadgar, A. Krost, E. Kohn, "The Role of Charge Dipoles in GaN HFET Design," *International Workshop on Nitride Semiconductors 2002*, Aachen (Germany), Abstracts 257–P–364, September 2002.
3. M. Neuburger, I. Daumiller, M. Kunze, T. Zimmermann, A. Dadgar, A. Krost, E. Kohn, "Gallium–Nitrid (GaN)–basierende HFETs: Die nächste Generation von Leistungstransistoren," *10 Jahre Mikroelektrotechnikum*, 20. November, 2003, Ulm, Germany.
4. T. Zimmermann, M. Neuburger, M. Kunze, I. Daumiller, E. Kohn "GaN basierende p–Kanal HFETs unter Verwendung zweidimensionaler Löchergase," *10 Jahre Mikroelektrotechnikum*," 20. November, 2003, Ulm, Germany.
5. M. Kubovic, M. Kasu, A. Aleksov, I. Kallfass, M. Neuburger, E. Kohn, "80 GHz Diamond Surface Channel FET," *10 Jahre Mikroelektrotechnikum*, 20. November, 2003, Ulm, Germany.

6. M. Neuburger, M. Kunze, I. Daumiller, T. Zimmermann, A. Dadgar, A. Krost, S. Hettich, H. Schumacher, E. Kohn, "Balanced AlGaIn/GaN-HFET Amplifier based on 111-Silicon Substrate," *2004 International Conference on Compound Semiconductor Manufacturing Technology (CS GAAS MANTECH)*, Miami Beach, Florida (USA), May 2004.
7. A. Dadgar, M. Neuburger, F. Schulze, J. Bläsing, A. Krtschil, E. Kohn, A. Krost, "InAlN/GaN field-effect transistors," *9th International Workshop on Wide Band-gap III-Nitrides*, Session: Opto and Electronic Device Related (P3.1), Pittsburgh, Pennsylvania (USA), July 2004.

C.1.5 Auszeichnungen

1. "Best Student Präsentation" bei *IEEE Lester Eastman Conference On High Performance Devices*, Troy, New York (USA), August 2004.

C.1.6 Patenteinreichung

1. "Verfahren zur Herstellung von Gruppe-III-Nitrid p-Kanal Transistorstrukturen" Eingereicht am 10.7.2004 beim Deutschen Patentamt (DE102004034341.1)